

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-283267
(P2003-283267A)

(43) 公開日 平成15年10月3日 (2003.10.3)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|--------------------------------------|-------|---------------|-------------------|
| H 0 3 F 3/343 | | H 0 3 F 3/343 | A 2 G 0 3 6 |
| G 0 1 R 31/00 | | G 0 1 R 31/00 | 5 C 0 0 6 |
| G 0 5 F 3/26 | | G 0 5 F 3/26 | 5 C 0 8 0 |
| G 0 9 G 3/20 | 6 1 1 | G 0 9 G 3/20 | 6 1 1 H 5 H 4 2 0 |
| | 6 2 1 | | 6 2 1 M 5 J 0 9 1 |
| 審査請求 未請求 請求項の数42 O L (全 35 頁) 最終頁に続く | | | |

(21) 出願番号 特願2002-87642 (P2002-87642)

(22) 出願日 平成14年3月27日 (2002.3.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山野 敦浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

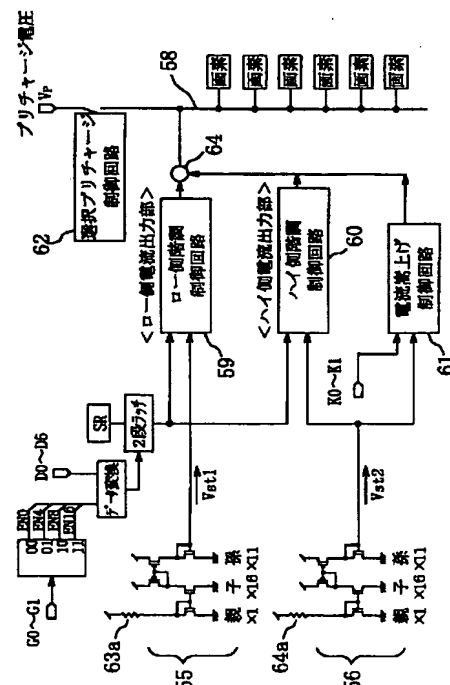
最終頁に続く

(54) 【発明の名称】 階調制御用出力回路及びその検査用装置、階調制御用出力回路の検査方法

(57) 【要約】

【課題】 表示装置や出力装置に用いられ、良好な階調表示を実現する階調制御用出力回路を提供する。また、電流駆動用の階調制御用出力回路を検査するための手段を提供する。

【解決手段】 階調制御用出力回路は、ロー側カレントミラー部55と、ロー側階調制御回路59と、ハイ側カレントミラー部56と、ハイ側階調制御回路60と、電流嵩上げ制御回路61と、選択プリチャージ制御回路62とを備えている。階調信号を出力するための階調制御回路がハイ側とロー側に分かれていることで、出力電流の特性を発光素子の γ 特性に近似させることができる。また、多段式カレントミラーを用いることで、出力部ごとの電流のばらつきも抑えられている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 電源電圧供給部と、

第1の電流供給部と、

上記電源電圧供給部に接続された第1の電源電圧供給配線と、

上記電源電圧供給部に接続された第2の電源電圧供給配線と、

上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、

上記第1の電源電圧供給配線に接続された第1のトランジスタを含む出力バッファ部と、上記第2の電源電圧供給配線に接続され、上記第1のトランジスタと共にカレントミラーを構成する第2のトランジスタを含む差動回路とを有する複数の階調制御部と、

上記第1のMISFETのゲート電極に接続され、上記第1のトランジスタと上記第2のトランジスタに流れる電流を制御するためのバイアス供給線とを備えている階調制御用出力回路。

【請求項2】 請求項1に記載の階調制御用出力回路において、

上記第1のトランジスタと上記第2のトランジスタとは共に上記バイアス供給線に接続されたゲート電極を有し、導電型が同じMISFETであることを特徴とする階調制御用出力回路。

【請求項3】 請求項1または2に記載の階調制御用出力回路において、

駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大きいことを特徴とする階調制御用出力回路。

【請求項4】 請求項1～3のうちいずれか1つに記載の階調制御用出力回路において、

上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることを特徴とする階調制御用出力回路。

【請求項5】 請求項4に記載の階調制御用出力回路において、

上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることを特徴とする階調制御用出力回路。

【請求項6】 請求項1～5に記載の階調制御用出力回路において、

第2の電流供給部と、

上記第2の電流供給部及び上記第1の電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETとをさらに備え、

上記傾斜バイアス用MISFETのゲート電極は、上記第1の電源電圧供給配線及び上記バイアス供給線に接続されていることを特徴とする階調制御用出力回路。

【請求項7】 請求項6に記載の階調制御用出力回路において、

上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、

上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることを特徴とする階調制御用出力回路。

10 【請求項8】 電源電圧供給部と、

第1の電流供給部と、

上記電源電圧供給部に接続された電源電圧供給配線と、

上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、

上記電源電圧供給配線に接続されたトランジスタを有する複数の階調制御部と、

第2の電流供給部と、

20 上記第2の電流供給部及び上記電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETと、

上記第1のMISFETのゲート電極と上記傾斜バイアス用MISFETのゲート電極との間を接続し、且つ上記電源電圧供給配線に接続され、上記トランジスタに流れる電流を制御するためのバイアス供給線とを備えている階調制御用出力回路。

【請求項9】 請求項8に記載の階調制御用出力回路において、

30 上記トランジスタは、上記バイアス供給線に接続されたゲート電極を有するMISFETであることを特徴とする階調制御用出力回路。

【請求項10】 請求項8または9に記載の階調制御用出力回路において、

上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、

40 上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることを特徴とする階調制御用出力回路。

【請求項11】 請求項8～10に記載の階調制御用出力回路において、

上記複数の階調制御部は、電流加算型のD/Aコンバータであることを特徴とする階調制御用出力回路。

【請求項12】 請求項8～11に記載の階調制御用出力回路において、

上記複数の階調制御部は、

M階調を表すための、上記電源電圧供給ノードに対して互いに並列に接続された複数のカレントミラー部と、

50 上記カレントミラー部に接続された同数の選択スイッチ

と、
上記全ての選択スイッチに接続された電流出力部とを有しており、

上記カレントミラー部は、上記トランジスタからなるカレントミラーで構成されていることを特徴とする階調制御用出力回路。

【請求項 13】 請求項 12 に記載の階調制御用出力回路において、

M 階調を制御するために、上記カレントミラー部は、それぞれ 1, 2, ..., $M/2$ 個の互いに同じ素子構成を有するカレントミラーで構成されていることを特徴とする階調制御用出力回路。

【請求項 14】 請求項 12 に記載の階調制御用出力回路において、

上記トランジスタは、互いに同じ素子構成を有する MISFET であり、

M 階調を制御するために、上記各カレントミラー部からの出力電流は、上記 MISFET のゲート幅のゲート長に対する比により調整されることを特徴とする階調制御用出力回路。

【請求項 15】 請求項 11 ~ 14 のうちいずれか 1 つに記載の階調制御用出力回路において、

上記階調制御部は、
カレントミラー部と、上記カレントミラー部に接続された同数のトランスファークゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、

上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることを特徴とする階調制御用出力回路。

【請求項 16】 請求項 8 ~ 10 に記載の階調制御用出力回路において、

上記トランジスタは、共に同じ導電型を有し、カレントミラーを構成する第 1 のトランジスタと第 2 のトランジスタであり、

上記階調制御部は、上記第 1 のトランジスタを有する出力バッファ部と、上記第 2 のトランジスタを有する差動回路とを有していることを特徴とする階調制御用出力回路。

【請求項 17】 請求項 16 に記載の階調制御用出力回路において、

駆動時に上記第 1 のトランジスタを流れる電流は、上記第 2 のトランジスタを流れる電流よりも大きいことを特徴とする階調制御用出力回路。

【請求項 18】 請求項 16 または 17 に記載の階調制御用出力回路において、

上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることを特徴とする階調制御用出力回路。

【請求項 19】 請求項 18 に記載の階調制御用出力回

路において、

上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることを特徴とする階調制御用出力回路。

【請求項 20】 複数のカレントミラーから構成され、第 1 段のカレントミラーを流れる電流と等しい電流が 3 段以上の各カレントミラーに流れる複数の多段式カレントミラー部と、

上記複数の多段式カレントミラー部の各々から基準電圧及び階調信号を受けて、互いに異なる階調制御用電流を出力するための複数の階調制御部とを備えている階調制御用出力回路。

【請求項 21】 請求項 20 に記載の階調制御用出力回路において、

上記複数の階調制御部からの階調制御用電流を受けるとともに、上記階調信号に応じて出力する上記階調制御用電流の組み合わせを変えるための出力制御部とを備えている階調制御用出力回路。

【請求項 22】 請求項 20 または 21 に記載の階調制御用出力回路において、

上記複数の階調制御部は、上記複数の階調制御部のうち、最も低い範囲の階調を制御可能なロー側階調制御部と、上記ロー側階調制御部よりも高い階調を制御可能なハイ側階調制御部とに分かれ、

上記複数の多段式カレントミラー部は、上記ロー側階調制御部に接続されたロー側多段式カレントミラー部と、上記ハイ側階調制御部に接続されたハイ側多段式カレントミラー部とに分かれることを特徴とする階調制御用出力回路。

【請求項 23】 請求項 22 に記載の階調制御用出力回路において、

上記出力制御部は、階調数が所定値以下の場合には、上記ロー側階調制御部からの上記階調制御用電流のみを出力し、階調数が所定値を超える場合には、上記ロー側階調制御部からの上記階調制御用電流に加えて上記ハイ側階調制御部からの上記階調制御用電流を出力するように制御することを特徴とする階調制御用出力回路。

【請求項 24】 請求項 22 または 23 に記載の階調制御用出力回路において、

少なくとも赤、緑、青の 3 色分の上記ロー側多段式カレントミラー部、上記ハイ側多段式カレントミラー部、上記ロー側階調制御部及び上記ハイ側階調制御部が同一のチップに集積化されていることを特徴とする階調制御用出力回路。

【請求項 25】 請求項 24 に記載の階調制御用出力回路において、

上記ロー側多段式カレントミラー部と上記ハイ側多段式カレントミラー部とは 1 組ずつ互いに隣接して配置され、行方向に所定の色順に配置され、

上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は、ほぼ行列上に配置され、上記ロー側多段式カレントミラー部及び上記ハイ側多段式カレントミラー部の 1 組みに接続された上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は固めて配置されることを特徴とする階調制御用出力回路。

【請求項 26】 請求項 20～25 のうちいずれか 1 つに記載の階調制御用出力回路において、
上記階調制御部は、
カレントミラー部と、上記カレントミラー部に接続され 10
た同数のトランスファークローク及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、
上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることを特徴とする階調制御用出力回路。

【請求項 27】 請求項 22～26 のうちいずれか 1 つに記載の階調制御用出力回路において、
嵩上げ制御信号と上記ハイ側多段式カレントミラーから供給される基準電圧とを受けて、上記ロー側階調制御部 20
からの出力電流及び上記ハイ側階調制御部からの出力電流を嵩上げる電流を上記出力制御部に出力するための電流嵩上げ制御回路をさらに設けたことを特徴とする階調制御用出力回路。

【請求項 28】 請求項 22～26 のうちいずれか 1 つに記載の階調制御用出力回路において、
上記ロー側多段式カレントミラー部と上記ロー側階調制御部との間に、上記ロー側階調制御部の出力電流を嵩上げる電流を出力するための電流嵩上げ制御回路をさらに設けたことを特徴とする階調制御用出力回路。

【請求項 29】 請求項 28 に記載の階調制御用出力回路において、
上記電流嵩上げ制御回路は、制御する階調に応じて出力する電流を増減する機能を有することを特徴とする階調制御用出力回路。

【請求項 30】 請求項 21～29 のうちいずれか 1 つに記載の階調制御用出力回路において、
上記出力制御回路は、
外部の信号線を充電する電圧をスイッチング制御により供給するための選択プリチャージ回路と、
表示データに応じたタイミング制御によって一定期間上記選択プリチャージ回路をオンにするための選択プリチャージ制御回路とをさらに有していることを特徴とする階調制御用出力回路。

【請求項 31】 半導体チップ上に集積化され、電流信号を出力するための出力部を有する内部回路と、
上記半導体チップ上に設けられ、上記出力部に接続された外部端子と、
上記半導体チップ上に設けられ、上記出力部に接続された、電流信号を電圧信号に変換するための抵抗体とを備

えていることを特徴とする階調制御用出力回路。

【請求項 32】 請求項 31 に記載の階調制御用出力回路において、
上記抵抗体に接続されたスイッチ回路をさらに備え、
上記スイッチ回路は、
通常動作時及び電源切断時には、上記抵抗体が上記外部端子に対して上記内部回路と互いに直列に接続されるように接続し、
検査時には、上記抵抗体を接地に接続すると共に、上記出力部に対して上記抵抗体と上記外部端子とが並列になるように接続するよう切り替えることを特徴とする階調制御用出力回路。

【請求項 33】 請求項 31 または 32 に記載の階調制御用出力回路において、
上記内部回路は、
多段式カレントミラー部と、
上記多段式カレントミラー部からの基準電圧を受けて階調制御用電流を出力するための階調制御部とを有していることを特徴とする階調制御用出力回路。

【請求項 34】 複数のビットセルを有する複数の階調制御部と、
上記ビットセルごとに設けられた通常動作ラッチ回路と、
全ての上記ビットセルに信号を供給するための共通ラッチ回路と、
上記共通ラッチ回路及び上記通常動作ラッチ回路と上記ビットセルとの間に設けられ、通常動作時には上記通常動作ラッチ回路からの信号を上記ビットセルに伝達し、検査時には、上記共通ラッチ回路から出力された信号を上記ビットセルに伝達するように切り替えるための選択回路とを備えている階調制御用出力回路。

【請求項 35】 請求項 34 に記載の階調制御用出力回路において、
上記複数の階調制御部に基準電圧を供給するための多段式カレントミラー部がさらに設けられていることを特徴とする階調制御用出力回路。

【請求項 36】 上面がウエハ検査用のテスターに設置可能な基板と、
上記基板の下面上に設けられ、少なくとも被検査ウエハからの電流信号を受けるための、導体からなるプローブと、
上記プローブに近接して上記基板上に配置され、上記プローブに接続されて上記電流信号を電圧信号に変換するための抵抗体と、
上記抵抗体に接続され、上記基板を貫通して設けられた配線とを備えている階調制御用出力回路の検査装置。

【請求項 37】 請求項 36 に記載の階調制御用出力回路の検査装置において、
上記プローブと上記抵抗体との間の距離が 10 cm 以下であることを特徴とする階調制御用出力回路の検査装

置。

【請求項38】 請求項36または37に記載の階調制御用出力回路の検査装置において、上記プローブに対して上記抵抗体と並列に接続され、出力部が上記抵抗体を介して負側入力部に接続されたオペアンプをさらに備えていることを特徴とする階調制御用出力回路の検査装置。

【請求項39】 請求項38に記載の階調制御用出力回路の検査装置において、上記オペアンプの正側入力部には、上記テスターから出力された基準電圧が入力されることを特徴とする階調制御用出力回路の検査装置。

【請求項40】 請求項36～39のうちいずれか1つに記載の階調制御用出力回路の検査装置において、上記抵抗体は集積化されていることを特徴とする階調制御用出力回路の検査装置。

【請求項41】 請求項38～40のうちいずれか1つに記載の階調制御用出力回路の検査装置において、上記オペアンプは集積化されていることを特徴とする階調制御用出力回路の検査装置。

【請求項42】 互いに並列に接続された第1の抵抗体に接続された基準電流源と、上記基準電流源に接続され、階調制御用電流を出力するための階調制御部とを備えた階調制御用出力回路の検査方法であって、検査時には、上記第1の抵抗体と並列に設けられ、上記第1の抵抗体よりも抵抗値の低い第2の抵抗体を上記基準電流源に接続し、通常動作時には、上記第2の抵抗体と上記基準電流源との接続をオフにすることを特徴とする階調制御用出力回路の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示装置及び出力装置に用いられる階調制御出力回路に関し、特に電流または電圧により階調制御を行なうドライバIC及びその検査用装置、ドライバICの検査方法に関する。

【0002】

【従来の技術】 一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素ごとに光の強度を制御することによって画像を表示する。そのため、例えば長方形形状のディスプレイパネルは、マトリクス状に並べられ、液晶または光学物質の状態を制御するTFT (Thin-Film-Transistor)と、パネルの上下辺に沿って設けられたデータ線駆動回路と、パネルの側端部に設けられたゲート線駆動回路とを有している。

【0003】 従来、ディスプレイパネル等の画像表示装置では、光学物質として液晶を用いたものが主流であった。これらの画像表示装置では、液晶駆動回路（液晶ドライバ）が電圧の形で表示情報を各画素に供給し、この

表示情報に応じて画素の透過率を変化させていた。

【0004】 これに対し、近年、有機EL (Electro Luminescence)を発光素子として用いた画像表示装置の提案が活発になっている。有機ELは、液晶とは異なりそれ自体が発光するので、これを用いたディスプレイパネルは視認性が高い上、バックライトが不要になるという利点がある。ディスプレイパネルに用いられる有機ELはダイオードの機能を有し、電流を与えられることで発光する。この有機ELパネルには、2つの駆動方式がある。

【0005】 図24は、有機ELパネルの駆動方式を説明するための図である。

【0006】 同図に示すように、有機ELパネルの1つ目の駆動方式は、電圧書き込み方式である。これは、電圧駆動用ドライバから電圧V₀の形で表示データがTFT (低ポリ画素Tr)に供給される方式である。電圧V₀に応じてコンデンサ等の負荷に蓄積された電荷が充電あるいは放電され、これにより電流I₀が有機ELダイオードに流れる。この駆動方式は、既存の液晶ドライバIC技術を使用できるという利点があるが、電圧供給が不安定であるため、低温ポリシリコンからなるTFTの特性ムラを補償することが困難であるという課題を有している。

【0007】 有機ELパネルの2つ目の駆動方式は、電流書き込み方式である。この方法は、パネルからの電流引き込み量を変化させることで階調表示の制御を行なう方法である。パネル上の低温ポリシリコンからなるTFTはカレントミラーを構成しており、パネルから信号線に引き込んだ電流I₀と等しい電流がTFTに流れる。この方法によれば、TFTの特性ばらつきを補償することができ、有機ELパネルの高画質化が実現可能である。

【0008】 カラー表示が可能な有機ELパネルには、R (赤)、G (緑)、B (青)の3色の画素が配置されており、電流書き込み方式の場合、電流駆動用ドライバからの電流に応じて画素の輝度が変化することにより、画素の明るさの階調表示が可能になっている。

【0009】 図25 (a)、(b)は、それぞれ上述の階調表示を実現する、表示装置を電圧駆動するための従来の電圧駆動用ドライバの構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【0010】 同図 (a)に示すように、従来の電圧駆動用ドライバ（階調制御用出力回路）は、電源電圧供給部1112と、電源電圧供給部1112に接続され、出力部1116を有する階調制御部1101a、1101b…、1101_N (Nは自然数)と、接地に接続された電流供給部1110と、電源電圧供給部1112と電流供給部1110との間に介設され、ドレインとゲート電極とが互いに接続されたPチャネル型MISFETである

10

20

30

40

50

第1のMISFET 1111と、第1のMISFET 1111と電源電圧供給部1112との間に設けられた第1のノード1118と、第1のMISFET 1111のゲート電極に接続されたゲートバイアス供給線1115と、第1のノード1118に接続され、各階調制御部に電源電圧を供給するための電源電圧供給配線1121と、電源電圧供給配線1121上に設けられ、階調制御部1101a、1101b…、1101_Nにそれぞれ接続された電源電圧供給ノード1117と、各電源電圧供給ノード1117の間及び電源電圧供給ノード1117と第1のノード1118との間に介設された抵抗体1113とを備えている。ここでは、N個の階調制御部を備える例を示しているが、一般的に1つの階調制御部出力回路は400～500個程度の階調制御部を備えている場合が多い。

【0011】また、従来の階調制御部出力回路において、階調制御部1101a、1101b…、1101_Nにはカレントミラー回路が利用されている。

【0012】すなわち、図25(a)に示すように、階調制御部1101aは、ソースが互いに接続されると共に電源電圧供給ノード1117に接続された共にPチャネル型の第2のMISFET 1102a及び第3のMISFET 1103aと、電圧選択スイッチ1120aと、入力部の(+)側に電圧選択スイッチ1120aが接続され、(-)側に出力部1116が接続されたオペアンプ1106aと、ソースが接地に、ドレインが第3のMISFET 1103aに、ゲート電極がオペアンプ1106aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ1105aと、出力側トランジスタ1105aと第3のMISFET 1103aとの間に介設され、出力部1116に接続された第1のノード1114aと、オペアンプ1106aの出力部—出力側トランジスタのゲート電極間と出力側トランジスタ1105a—第2のノード間を接続する配線間に設けられた発振防止用コンデンサ1119aとを有している。また、第2のMISFET 1102a及びオペアンプ1106aは差動回路1107aを構成し、第3のMISFET 1103a、第1のノード1114、発振防止用コンデンサ1119a及び出力側トランジスタ1105aは出力バッファ部1108aを構成している。ここで、従来の階調制御部1101aにおいては、第2のMISFET 1102aと第3のMISFET 1103aとは電気的特性が互いに揃えられ、且つ互いのゲート電極が共にゲートバイアス供給線1115に接続されており、カレントミラー回路を構成している。そして、負荷を駆動するために、第3のMISFET 1103aを流れる電流 I_2 の方が第2のMISFET 1102aを流れる電流 I_1 よりも大きくなるように設計されている。

【0013】また、従来の階調制御部出力回路におい

て、N個の階調制御部1101a、1101b…、1101_Nは、それぞれ上述の階調制御部1101aと同じ回路構成を有している。そして、第2のMISFET 1102a、1102b…、1102_N及び第3のMISFET 1103a、1103b…、1103_Nのゲート電極はそれぞれゲートバイアス供給線1115に接続されている。図25(b)に示すように、ゲートバイアス供給線1115からこれらのMISFETのゲート電極には、該MISFETがオンになるように、互いに等しい電圧が印加されている。

【0014】また、従来の階調制御部出力回路では、電圧選択スイッチとして、複数の基準電圧をデジタルデータに応じて選択することができるマルチプレクサが用いられている。ここで選択された電圧が、オペアンプで電流増幅されて、液晶や有機ELを用いたパネルに出力される。

【0015】なお、電流書き込み方式の有機ELパネルに用いられる従来の電流駆動用の階調制御部出力回路は、図25に示した階調制御部出力回路の階調制御部1101a、1101b…1101_Nを、電流加算型のD/Aコンバータに代えた構造をとる。このD/Aコンバータからは階調データに応じた大きさの電流がTFT及び画素に供給され、有機ELパネルでの階調表示を可能にしている。

【0016】なお、このような電流駆動用の階調制御部出力回路は、有機ELパネル用のドライバとしてだけでなく、プリンタ等の出力装置のヘッドとしても利用することができる。加えて、有機ELのみならず、無機ELやLED (Light Emitting Diode)を用いた表示装置用ドライバ、プリンタ用ヘッドとしても用いることができる。

【0017】次に、従来の電流駆動用の階調制御部出力回路の検査方法について説明する。

【0018】図26(a)、(b)は、それぞれ電流駆動用の階調制御部出力回路を検査するための従来のプローブカードを示す断面図、及び従来のプローブカードの断面を示すブロック回路図である。

【0019】同図(a)に示すように、従来の電流駆動用の階調制御部出力回路の検査は、半導体テスター1152のヘッド1153に上面側で接続され、下面に導電体からなるプローブ1155を有するプローブカード1156を、該電流駆動用ドライバが多数設けられた被検査ウエハ1151の上に載置して行なう。

【0020】具体的には、図26(b)に示すように、ウエハ上に設けられた検査用パッド1154 (又はバンプ)とプローブ1156とを接触させた状態で半導体テスター1152のヘッド1153から検査用電流を流し、その後に検査用バンプから出力される電流を検出することで検査が実行される。

【0021】有機ELダイオードの多くは、供給される

電流が $1 \mu\text{A}$ 以下の時に最高輝度を示すので、有機 EL パネルにおいて 6 ビットの階調 (64 階調) を有する場合、1 階調当たりの電流は $10 \sim 20 \text{ nA}$ 程度になる。そのため、半導体テスター 1152 は、 $10 \sim 20 \text{ nA}$ 程度の電流を検出できるようになっている。ここで用いられる半導体テスターやプローブカード及び半導体テスターとプローブカードとの接続治具などは一般のウエハ検査に用いられるものと同様のものである。

【0022】

【発明が解決しようとする課題】まず、図 25 (b) から分かるように、従来の電圧駆動用ドライバにおいては、同一の階調制御部が 1 本の電源電圧供給配線 1121 に接続されているため、電源電圧供給部 1112 から遠い位置にある電源電圧供給ノード 1117 では供給される電圧が抵抗体 1113 などの存在により低下していた。これに対し、ゲートバイアス供給線 1115 の電位は位置によらず一定であるため、第 2 の MISFET 1102 及び第 3 の MISFET 1103 のゲートソース間にかかる電圧 V_{gs} は、電源電圧供給部 1112 からの距離によってばらついてしまう。

【0023】一方、出力バッファ部の発振防止用コンデンサは、差動回路の出力電流 (オペアンプからの出力) によって充電される。一般に、差動回路側を流れる電流は出力バッファ側よりも少ないので、発振防止用コンデンサの充電時間の長さは差動回路に流れる電流により左右される。また、各差動回路に供給される電源電圧がばらつくと、電流 I_1 の大きさがばらつく。そのため、従来の電圧駆動用の階調制御用出力回路においては、各差動回路に供給される電源電圧がばらつくことにより、差動回路に分配される電流の大きさもばらつき、発振防止用コンデンサの充電時間がばらついていた。その結果、従来の電圧駆動用の階調制御用出力回路においては、オペアンプのスルーレートが電源電圧供給部 1112 からの距離によってばらつき、出力部から出力される電流もばらついてしまっていた。

【0024】そのため、従来の電圧駆動用の階調制御用出力回路を液晶または有機 EL パネルに用いる場合、画面の表示にムラが出てしまう等の不具合が起こっていた。また、従来の電圧駆動用の階調制御用出力回路をプリンタヘッドとして用いる場合には、印字ムラが生じることがあった。

【0025】なお、このような電源電圧供給配線の電圧低下による不具合は、電圧駆動用の階調制御用出力回路と類似の構成を有する従来の電流駆動用の階調制御用出力回路においても見られる。

【0026】従来の電流駆動用の階調制御用出力回路では、1 つの電流源からカレントミラーを用いて直接 176 個の出力部に電流が分配される。この出力電流の 1 つが上記の階調制御部に入力されるが、この出力電流も出力部ごとにばらつくという不具合もあった。

【0027】一方、従来の電流駆動用の階調制御用出力回路の検査方法においては、検出する電流値が $10 \sim 20 \text{ nA}$ と微小なために、被検査ウエハ 1151 と半導体テスター 1152 との間で検出信号が劣化してしまうという不具合があった。これは、検出信号がプローブカード 1151 や接続配線 1158、治具等を経由して伝播するためである。このため、十分な精度で階調制御用出力回路の検査を行なうことが困難であった。

【0028】本発明の目的は、表示装置や出力装置に用いられ、良好な階調表示を実現する階調制御用出力回路を提供すること、及び電流駆動用の階調制御用出力回路を検査するための手段を提供することにある。

【0029】

【課題を解決するための手段】本発明の第 1 の階調制御用出力回路は、電源電圧供給部と、第 1 の電流供給部と、上記電源電圧供給部に接続された第 1 の電源電圧供給配線と、上記電源電圧供給部に接続された第 2 の電源電圧供給配線と、上記第 1 の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第 1 の MISFET と、上記第 1 の電源電圧供給配線に接続された第 1 のトランジスタを含む出力バッファ部と、上記第 2 の電源電圧供給配線に接続され、上記第 1 のトランジスタと共にカレントミラーを構成する第 2 のトランジスタを含む差動回路とを有する複数の階調制御部と、上記第 1 の MISFET のゲート電極に接続され、上記第 1 のトランジスタと上記第 2 のトランジスタに流れる電流を制御するためのバイアス供給線とを備えている。

【0030】この構成により、差動回路と出力バッファ部のそれぞれに電源電圧を供給するための配線が個別に設けられているので、第 1 の電源電圧供給配線内及び第 2 の電源電圧供給配線内で生じる電圧降下を、電源電圧供給配線を分けない場合に比べて小さくすることができる。そのため、電源電圧供給部からの距離の差によって生じる第 1 のトランジスタ及び第 2 のトランジスタのゲートソース間電圧またはゲートドレイン間電圧のばらつきを抑えることができる。この結果、各出力バッファ部を流れる電流のばらつきが抑えられると共に、各差動回路を流れる電流のばらつきも抑えられるので、階調制御部の各出力部から出力される電流のばらつきも抑えられる。従って、本発明の階調制御用出力回路を表示装置に用いることにより、パネルにおける表示ムラを低減することができ、プリンタのヘッド等に用いることにより、プリンタの印字ムラを抑えることができる。

【0031】上記第 1 のトランジスタと上記第 2 のトランジスタとは共に上記バイアス供給線に接続されたゲート電極を有し、導電型が同じ MISFET であってもよい。

【0032】駆動時に上記第 1 のトランジスタを流れる電流は、上記第 2 のトランジスタを流れる電流よりも大

きいことにより、例えば表示装置のパネルなどの大きい負荷を効果的に駆動することが可能になっている。

【0033】上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることにより、本発明の階調制御用出力回路は、液晶パネルをはじめとする電圧駆動方式を採る表示装置、あるいは出力装置に好ましく用いられる。

【0034】上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していること電圧選択スイッチにより選択された電圧信号の電流を増幅させることができる。

【0035】第2の電流供給部と、上記第2の電流供給部及び上記第1の電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETとをさらに備え、上記傾斜バイアス用MISFETのゲート電極は、上記第1の電源電圧供給配線及び上記バイアス供給線に接続されていることにより、バイアス供給線における電位の傾斜を第1の電源電圧供給配線及び第2の電源電圧供給配線における電圧降下に合わせることが可能になるので、第1のトランジスタ及び第2のトランジスタにおけるゲートソース間電圧またはゲートドレイン間電圧のばらつきをより効果的に抑えることが可能になる。この結果、階調制御部から出力される電流のばらつきを大幅に低減することができる。

【0036】上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることにより、受け手側カレントミラーが電源電圧供給部から離れた位置にある場合でも送り手側カレントミラーを流れる電流と等しい電流を受け手側カレントミラーに流すことができる。

【0037】本発明の第2の階調制御用出力回路は、電源電圧供給部と、第1の電流供給部と、上記電源電圧供給部に接続された電源電圧供給配線と、上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、上記電源電圧供給配線に接続されたトランジスタを有する複数の階調制御部と、第2の電流供給部と、上記第2の電流供給部及び上記電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETと、上記第1のMISFETのゲート電極と上記傾斜バイアス用MISFETのゲート電極との間を接続し、且つ上記電源電圧供給配線に接続され、上記トランジスタに流れる電流を制御するためのバイアス供給線とを備えている。

【0038】これにより、バイアス供給線における電位の傾斜を電源電圧供給配線における電圧降下に合わせる

ことが可能になるので、電源電圧供給配線を分割することなく、階調制御部のトランジスタを流れる電流のばらつきを抑えることができる。また、電源電圧供給配線が1本に集約されているので、電源電圧供給配線を分割する場合に比べて配線面積を低減することもできる。

【0039】上記トランジスタは、上記バイアス供給線に接続されたゲート電極を有するMISFETであることにより、階調制御部からの出力電流のばらつきをより精度よく抑えることができる。

【0040】上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることにより、受け手側カレントミラーが電源電圧供給部から離れた位置にある場合でも送り手側カレントミラーを流れる電流と等しい電流を受け手側カレントミラーに流すことができる。すなわち、電源電圧供給部から離れた位置にある階調制御部に電圧降下の影響を受けずに一定電流を供給することが可能になる。このため、階調制御部の出力部によるばらつきをさらに低減することができる。

【0041】上記複数の階調制御部は、電流加算型のD/Aコンバータであることにより、本発明の階調制御用出力回路は、有機ELパネルなどの、発光素子を用いた表示装置の電流駆動用ドライバや、発光素子を用いたプリンタなどの出力装置のプリンタヘッドとして用いられることができる。

【0042】上記複数の階調制御部は、M階調を表すための、上記電源電圧供給ノードに対して互いに並列に接続された複数のカレントミラー部と、上記カレントミラー部に接続された同数の選択スイッチと、上記全ての選択スイッチに接続された電流出力部とを有しており、上記カレントミラー部は、上記トランジスタからなるカレントミラーで構成されていることにより、電流駆動方式の表示装置や出力装置に用いられる階調制御用出力回路を、比較的単純な構成で作製することができる。

【0043】M階調を制御するために、上記カレントミラー部は、それぞれ1, 2, ..., M/2個の互いに同じ素子構成を有するカレントミラーで構成されていることにより、精度の良い電流加算型D/Aコンバータを実現することができる。つまり、良好な階調表示を実現する階調制御用出力回路を実現できる。

【0044】上記トランジスタは、互いに同じ素子構成を有するMISFETであり、M階調を制御するために、上記各カレントミラー部からの出力電流は、上記MISFETのゲート幅のゲート長に対する比により調整されていてもよい。

【0045】上記階調制御部は、カレントミラー部と、上記カレントミラー部に接続された同数のトランスファ

ーゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることにより、良好な階調表示を実現する本発明の階調制御用出力回路の省面積化を図ることができる。

【0046】上記トランジスタは、共に同じ導電型を有し、カレントミラーを構成する第1のトランジスタと第2のトランジスタであり、上記階調制御部は、上記第1のトランジスタを有する出力バッファ部と、上記第2のトランジスタを有する差動回路とを有していてもよい。この構成は、特に電圧駆動用ドライバとして用いられる場合に、好ましく採用される。

【0047】駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大きいことは、パネルなどの負荷を駆動する上で好ましい。

【0048】上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることにより、出力電流のばらつきが低減された電圧駆動用ドライバ、あるいは電圧駆動方式のプリンタ用ヘッドとして好ましく用いられる。

【0049】上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることにより、2ステージアンプ型の電圧駆動用ドライバを実現することができる。

【0050】本発明の第3の階調制御用出力回路は、複数のカレントミラーから構成され、第1段のカレントミラーを流れる電流と等しい電流が3段以上の各カレントミラーに流れる複数の多段式カレントミラー部と、上記複数の多段式カレントミラー部の各々から基準電圧及び階調信号を受けて、互いに異なる階調制御用電流を出力するための複数の階調制御部とを備えている。

【0051】この構成により、多段式カレントミラーを用いることで、階調制御部に入力される電流の値のばらつきは低減されている。これに加えて、互いに異なる階調制御用電流を出力するための複数の階調制御部を備えていることで、階調制御用出力回路の出力電流の特性を、有機EL、無機EL、LEDなどの発光素子の γ 特性に近似させることができる。この結果、本発明の階調制御用出力回路を表示装置に用いた場合には表示特性が改善され、出力装置に用いた場合には印字特性が改善される。

【0052】上記複数の階調制御部からの階調制御用電流を受けるとともに、上記階調信号に応じて出力する上記階調制御用電流の組み合わせを変えるための出力制御部とを備えていることにより、階調制御用出力回路からの出力電流の特性が、発光素子の γ 特性に近似するように制御することができる。その結果、本発明の階調制御

用出力回路を用いた表示パネルやプリンタにおいて良好な階調表示が実現できる。

【0053】上記複数の階調制御部は、上記複数の階調制御部のうち、最も低い範囲の階調を制御可能なロー側階調制御部と、上記ロー側階調制御部よりも高い階調を制御可能なハイ側階調制御部とに分かれ、上記複数の多段式カレントミラー部は、上記ロー側階調制御部に接続されたロー側多段式カレントミラー部と、上記ハイ側階調制御部に接続されたハイ側多段式カレントミラー部とに分かれることにより、階調制御用出力回路の出力電流の特性を、発光素子の γ 特性に良好に近似させることが可能になる。

【0054】上記出力制御部は、階調数が所定値以下の場合には、上記ロー側階調制御部からの上記階調制御用電流のみを出力し、階調数が所定値を越える場合には、上記ロー側階調制御部からの上記階調制御用電流に加えて上記ハイ側階調制御部からの上記階調制御用電流を出力するように制御することにより、発光素子の γ 特性（電流－輝度特性）グラフの傾きに合わせて階調制御用出力回路の出力電流の特性を変化させることが可能になる。

【0055】少なくとも赤、緑、青の3色分の上記ロー側多段式カレントミラー部、上記ハイ側多段式カレントミラー部、上記ロー側階調制御部及び上記ハイ側階調制御部が同一のチップに集積化されていることにより、本発明の階調制御用出力回路は、カラー表示用のドライバICとして用いられるようになる。また、カラープリンタのプリンタヘッドとしても用いられるようになる。

【0056】上記ロー側多段式カレントミラー部と上記ハイ側多段式カレントミラー部とは1組ずつ互いに隣接して配置されるとともに、行方向に所定の色順に配置され、上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は、ほぼ行列上に配置され、上記ロー側多段式カレントミラー部及び上記ハイ側多段式カレントミラー部の1組みに接続された上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は固めて配置されることにより、配線面積を低減することができ、ひいては表示パネルの小型化にもつながる。

【0057】上記階調制御部は、カレントミラー部と、上記カレントミラー部に接続された同数のトランスファーゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることにより、各素子ごとに固めて配置するレイアウトに比べてカレントミラー部とインバータの間の冗長な配線を低減することができ、配線面積を効果的に縮小することができる。また、階調制御回路の出力配線の幅を広げて、階調制御回路の出力インピーダンスを低減することが可能になる。

【0058】嵩上げ制御信号と上記ハイ側多段式カレン

10

20

30

40

50

トミラーから供給される基準電圧とを受けて、上記ロー側階調制御部からの出力電流及び上記ハイ側階調制御部からの出力電流を嵩上げする電流を上記出力制御部に出力するための電流嵩上げ制御回路をさらに設けたことにより、例えば発光素子を用いたパネルにおける表示のコントラストを上げることができる。

【0059】上記ロー側多段式カレントミラー部と上記ロー側階調制御部との間に、上記ロー側階調制御部の出力電流を嵩上げする電流を出力するための電流嵩上げ制御回路をさらに設けたことにより、面積の増加を抑えつつ、階調制御部からの出力電流の嵩上げを図ることができる。

【0060】上記電流嵩上げ制御回路は、制御する階調に応じて出力する電流を増減する機能を有することも可能である。

【0061】上記出力制御回路は、外部の信号線を充電する電圧をスイッチング制御により供給するための選択プリチャージ回路と、表示データに応じたタイミング制御によって一定期間上記選択プリチャージ回路をオンにするための選択プリチャージ制御回路とをさらに有していることにより、例えば、表示パネルの信号線を選択プリチャージ回路によりあらかじめ充電しておくことができるので、表示パネルにおける黒表示を速やかに実行させることができる。これは、特に表示装置のパネルに低温ポリシリコンからなる TFT が配置されている場合に有効である。

【0062】本発明の第4の階調制御用出力回路は、半導体チップ上に集積化され、電流信号を出力するための出力部を有する内部回路と、上記半導体チップ上に設けられ、上記出力部に接続された外部端子と、上記半導体チップ上に設けられ、上記出力部に接続された、電流信号を電圧信号に変換するための抵抗体とを備えている。

【0063】この構成により、内部回路から出力される微小電流をチップ上の抵抗体によって電圧信号に変換することができるので、該電圧信号がプローブや治具などで減衰しにくくすることができる。その結果、精度の良い検査を行なうことが可能となる。

【0064】上記抵抗体に接続されたスイッチ回路をさらに備え、上記スイッチ回路は、通常動作時及び電源切断時には、上記抵抗体が上記外部端子に対して上記内部回路と互いに直列に接続されるように接続し、検査時には、上記抵抗体を接地に接続すると共に、上記出力部に対して上記抵抗体と上記外部端子とが並列になるように接続するよう切り替えることにより、外部端子から高電圧電流（サージ）が入力された場合には、抵抗体が外部から入力される電流量を制限することができるので、内部回路を保護することができる。また、検査時には、抵抗体を電流／電圧変換用の抵抗として機能させることができる。

【0065】上記内部回路は、多段式カレントミラー部

と、上記多段式カレントミラー部からの基準電圧を受けて階調制御用電流を出力するための階調制御部とを有していてもよい。

【0066】本発明の第5の階調制御用出力回路は、複数のビットセルを有する複数の階調制御部と、上記ビットセルごとに設けられた通常動作ラッチ回路と、全ての上記ビットセルに信号を供給するための共通ラッチ回路と、上記共通ラッチ回路及び上記通常動作ラッチ回路と上記ビットセルとの間に設けられ、通常動作時には上記通常動作ラッチ回路からの信号を上記ビットセルに伝達し、検査時には、上記共通ラッチ回路から出力された信号を上記ビットセルに伝達するように切り替えるための選択回路とを備えている。

【0067】これにより、検査時に加えられる信号は複数のラッチ回路を経由する必要がなくなるので、検査時間を短縮することができる。

【0068】上記複数の階調制御部に基準電圧を供給するための多段式カレントミラー部がさらに設けられていてもよい。

【0069】本発明の階調制御用出力回路の検査装置は、上面がウエハ検査用のテスターに設置可能な基板と、上記基板の下面上に設けられ、少なくとも被検査ウエハからの電流信号を受けるための、導体からなるプローブと、上記プローブに近接して上記基板上に配置され、上記プローブに接続されて上記電流信号を電圧信号に変換するための抵抗体と、上記抵抗体に接続され、上記基板を貫通して設けられた配線とを備えている。

【0070】この構成により、被検査ウエハから微少な電流信号が出力される場合、該電流信号を抵抗体によって電圧信号に変換することができるので、電流信号を減衰させることなくテスターに到達させることができる。このため、微小な電流信号を出力する階調制御用出力回路を有するウエハの検査を実行することができる。

【0071】上記プローブと上記抵抗体との間の距離が 1.0 cm 以下であることが好ましい。

【0072】上記プローブに対して上記抵抗体と並列に接続され、出力部が上記抵抗体を介して負側入力部に接続されたオペアンプをさらに備えていることにより、被検査ウエハからの信号をテスターで容易に測定できるようになる。

【0073】上記オペアンプの正側入力部には、上記テスターから出力された基準電圧が入力されることにより、被検査ウエハからの出力電流値の範囲が広い場合でも、基準電圧を変更することで、ウエハからの信号を容易に検出することができる。

【0074】上記抵抗体は集積化されていることにより、本発明の検査装置を容易に実現することができる。

【0075】上記オペアンプは集積化されていることにより、本発明の検査装置を容易に実現することができる。

【0076】本発明の階調制御用出力回路の検査方法は、互いに並列に接続された第1の抵抗体に接続された基準電流源と、上記基準電流源に接続され、階調制御用電流を出力するための階調制御部とを備えた階調制御用出力回路の検査方法であって、検査時には、上記第1の抵抗体と並列に設けられ、上記第1の抵抗体よりも抵抗値の低い第2の抵抗体を上記基準電流源に接続し、通常動作時には、上記第2の抵抗体と上記基準電流源との接続をオフにする。

【0077】この方法により、検査時に基準電流源に入力する電流を、通常動作時よりも大きくすることができるので、検査電流を大きくすることができ、検査を容易にすることができる。

【0078】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態として、差動回路に電源電圧を供給するための配線と出力バッファ部に電源電圧を供給するための配線とが分離された階調制御用出力回路（電圧駆動用ドライバ）を図を用いて説明する。

【0079】一電圧駆動用の階調制御用出力回路の基本構成—

図1は、本発明の第1の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【0080】同図に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、一定の電流を供給するための電流供給部10と、電流供給部10と電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET 11と、第1のMISFET 11と電源電圧供給部12との間に設けられた第1のノード23及び第2のノード24と、差動回路7a、電圧選択スイッチ20a、出力バッファ部8a及び出力部16を有する階調制御部1a、1b…、1_N（Nは整数）と、第1のMISFETのゲート電極に接続されたゲートバイアス供給線15と、第1のノード23と階調制御部1_Nの出力バッファ部8aとの間を接続し、各階調制御部の出力バッファ部に電源電圧を供給するための出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、階調制御部1a、1b…、1_{N-1}の出力バッファ部に接続された第1の電源電圧供給ノード25と、出力部用電圧供給線23aのうち、第1の電源電圧供給ノード25—第1のノード23間及び各第1の電源電圧供給ノード25間に介設された第1の抵抗体21と、第2のノード24と階調制御部1_Nの差動回路7_Nとの間を接続し、各階調制御部の差動回路に電源電圧を供給するための差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、階調制御部1a、1b…、1_{N-1}の差動回路に接続された第2の電源電圧供給ノード26と、差動回路用電圧供給線24aのうち、第2の電源電圧供給ノ—

ド26—第2のノード24間及び各第2の電源電圧供給ノード26間に介設された第2の抵抗体22とを備えている。1つの階調制御用出力回路は400～500個程度の階調制御部を備えている場合が多い。なお、本実施形態の階調制御用出力回路は、通常同一チップ内に集積化される。

【0081】また、抵抗体第1の抵抗体21及び第2の抵抗体22は、レイアウト等の要因により発生したものであり、存在しないことが理想である。

【0082】一階調制御部の構成—

本実施形態の階調制御用出力回路の階調制御部は、従来の電圧駆動用ドライバと同様にMISFETを用いたカレントミラー回路を有している。

【0083】図1に示すように、階調制御部1aは、ソースが第1の電源電圧供給ノード25に接続されたPチャネル型の第3のMISFET 3aと、ソースが第2の電源電圧供給ノード26に接続されたPチャネル型の第2のMISFET 2aと、電圧選択スイッチ20aと、入力部の（+）側に電圧選択スイッチ20aが接続され、（-）側に出力部16が接続されたオペアンプ6aと、ソースが接地に、ドレインが第3のMISFET 3aに、ゲート電極がオペアンプ6aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ5aと、出力側トランジスタ5aと第3のMISFET 3aとの間に設けられ、出力部16に接続された第3のノード14と、オペアンプ6aの出力部—出力側トランジスタ5aのゲート電極間と出力側トランジスタ5a—第3のノード14間を接続する配線間に設けられた発振防止用コンデンサ19aとを有している。

【0084】また、第2のMISFET 2a及びオペアンプ6aは差動回路7aを構成し、第3のMISFET 3a、第3のノード14、発振防止用コンデンサ19a及び出力側トランジスタ5aは出力バッファ部8aを構成している。ここで、本実施形態の階調制御部1aにおいては、第2のMISFET 2aと第3のMISFET 3aとは電気的特性が互いに揃えられ、且つ互いのゲート電極が互いにゲートバイアス供給線15に接続されており、カレントミラー回路を構成している。そして、本実施形態の階調制御用出力回路において、N個の階調制御部1a、1b…、1_Nは、それぞれ上述の階調制御部1aと同じ回路構成を有している。そして、第2のMISFET 2a、2b…、2_N及び第3のMISFET 3a、3b…、3_Nのゲート電極はそれぞれゲートバイアス供給線15に接続されている。ゲートバイアス供給線15から第2のMISFET 2a、2b…、2_N及び第3のMISFET 3a、3b…、3_Nのゲート電極に供給される電圧はその位置によらずほぼ同じであり、これらのMISFETは常時オン状態になっている。

【0085】なお、以下の本明細書中で、階調制御部1a、1b…、1_Nのそれぞれを区別しないで表す際には

「階調制御部1」と表記し、階調制御部1の構成素子であるN個の第2のMISFET、第3のMISFET、出力側トランジスタ、オペアンプ、電圧選択スイッチもそれぞれ個々を区別しないで表すときは、「第2のMISFET2」、「第3のMISFET3」、「出力側トランジスタ5」、「オペアンプ6」、「電圧選択スイッチ20」と表記する。

【0086】一階調制御部の機能一

階調制御部1は、液晶パネルのTFT及び画素（図示せず）に駆動電流を供給するための出力バッファ部8と、出力する駆動電流を制御するための差動回路7との2ステージアンプ構成となっている。

【0087】まず、階調制御用出力回路の駆動時には、第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26からそれぞれ第2のMISFET2及び第3のMISFET3に互いにほぼ等しい値の電源電圧が供給される。すると、カレントミラー回路が機能して第2のMISFET2及び第3のMISFET3にはそれぞれ電流 I_1 及び I_2 が流れる。なお、出力部16に接続される負荷を駆動するため電流 I_2 は電流 I_1 に比べて大きくするように設定されており、本実施形態では電流 I_1 ：電流 I_2 の値の比は約1：5となっている。

【0088】一方、電圧選択スイッチ20は、例えばマルチプレクサであり、複数の基準電圧をデジタルデータに応じて選択する機能を有している。そして、差動回路7のオペアンプ6は、負帰還されることで電圧選択スイッチ20で選択された選択電圧を電流増幅する。次いで、電流増幅された電圧は、発振防止用コンデンサ19を介して出力部16から液晶または有機ELパネルへと出力される。この際に、発振防止用コンデンサ19は、オペアンプ6の出力信号の位相を変え、負帰還されたオペアンプ6の出力を安定化している。

【0089】ところで、階調制御部1においては、発振防止用コンデンサ19はオペアンプ6の出力電流（＝電流 I_1 ）と出力バッファ部8を流れる電流とにより充電される。しかし、差動回路7側を流れる電流は、出力バッファ部8側を流れる電流より小さくなっているため、オペアンプ6の出力電流の大きさによって発振防止用コンデンサ19の充電時間が変わるとオペアンプ6のスルーレートが変化し、出力部16に接続された負荷への充電時間も変化する。差動回路7側を流れる電流は、第2のMISFET2のゲートソース間電圧 V_{GS1} によって変化するので、ゲートバイアス供給線15の電位が位置によらず一定の場合、第2の電源電圧供給ノード26から供給される電源電圧を一定にすることで、出力電流を一定にすることができる。

【0090】一従来の電圧駆動用ドライバとの相違点一本実施形態の階調制御用出力回路が、従来の電圧駆動用ドライバと異なる点は、差動回路と出力バッファ部とに

それぞれの電源電圧を供給する配線が分離されていることである。

【0091】これにより、本実施形態の階調制御用出力回路は、従来の電圧駆動用ドライバに比べて抵抗体による電圧降下を小さく抑えることが可能になっている。そのため、電源電圧供給部12から遠い位置にある第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26における電圧降下が抑えられ、第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26の位置による電圧差を小さくすることができる。

【0092】また、本実施形態の階調制御用出力回路において、ゲートバイアス供給線15の電位は位置によらず一定であるので、第2のMISFET2のゲートソース間電圧 V_{GS1} のばらつきも抑えられる。このため、差動回路7を流れる電流は電源電圧供給部12からの距離に関わらずほぼ一定となり、オペアンプ6のスルーレートをほぼ一定にすることができる。

【0093】従って、本実施形態の階調制御用出力回路を用いることにより、負荷への充電時間を一定にすることができるので、表示ムラのない液晶パネルや電圧書き込み方式の有機ELパネルを実現することができる。

【0094】なお、本実施形態の階調制御用出力回路では、電圧選択スイッチ20によって表示装置等に供給する電圧を切り替えられるようになっており、これによって階調制御を行っている。

【0095】なお、本実施形態の階調制御用出力回路は、液晶駆動ドライバとして用いられる他、電圧により階調表示されるプリンタのヘッド等にも用いられる。

【0096】なお、本実施形態では電流 I_1 ：電流 I_2 の値の比は約1：5に設定されるが、 $I_1 < I_2$ であれば電流値の比に特に制限はない。

【0097】なお、本実施形態の階調制御用出力回路において、カレントミラー回路を構成するMISFETとしてPチャネル型MISFETが用いられたが、これに代えてNチャネル型MISFETを用いてもよい。

【0098】なお、本実施形態の階調制御用出力回路において、階調制御部1に含まれるMISFETの代わりにnpn型のバイポーラトランジスタを用いることで、電流駆動用ドライバとすることができる。

【0099】（第2の実施形態）図2（a）、（b）は、それぞれ本発明の第2の実施形態に係る階調制御用出力回路（電圧駆動用ドライバ）の構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【0100】本実施形態の電圧駆動用の階調制御用出力回路は、ゲートバイアス供給線15の電位に傾斜を持たせることにより、各第2のMISFET2及び各第3のMISFET3のゲートソース間電圧 V_{GS1} 及び V_{GS2} をほぼ一定にしたものである。

【0101】図2（a）に示すように、本発明の第2の

実施形態に係る階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、出力部16を有する階調制御部1a、1b…、1_n（_nは整数）と、接地に接続され、一定の電流を供給するための第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部12との間に設けられた第1のノード18と、一定の電流を供給するための第2の電流供給部31と、ドレインが第2の電流供給部31に接続され、ドレインとゲート電極とが互いに接続されているPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを互いに接続するゲートバイアス供給線15と、第1のノード18と傾斜バイアス用MISFET30のソースとを互いに接続し、各階調制御部1に電源電圧を供給するための電源電圧供給配線4と、電源電圧供給配線4上に設けられ、階調制御部1a、1b…、1_nにそれぞれ接続された電源電圧供給ノード17と、各電源電圧供給ノード17の間及び電源電圧供給ノード17と第1のノード18との間に介設された抵抗体13とを備えている。なお、本実施形態の階調制御用出力回路は、第1の実施形態同様、通常同一チップ内に集積化される。また、以後の実施形態に係る階調制御用出力回路も同様に集積化されている。

【0102】なお、傾斜バイアス用MISFET30は第1のMISFET11と同じ導電型ならばPチャネル型、Nチャネル型のどちらでもよい。

【0103】また、本実施形態において、階調制御部1は、第1の実施形態と同一の構成を有している。

【0104】すなわち、図2（a）に示すように、階調制御部1は、ソースが互いに接続されると共に電源電圧供給ノード17に接続された共にPチャネル型の第2のMISFET2a及び第3のMISFET3aと、電圧選択スイッチ20aと、入力部の（+）側に電圧選択スイッチが接続され、（-）側に出力部16が接続されたオペアンプ6aと、ソースが接地に、ドレインが第3のMISFET3aに、ゲート電極がオペアンプ6aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ5aと、出力側トランジスタ5aと第3のMISFET3aとの間に介設され、出力部16に接続された第2のノード14と、オペアンプ6aの出力部—出力側トランジスタのゲート電極間と出力側トランジスタ5a—第2のノード間を接続する配線間に設けられた発振防止用コンデンサ19aとを有している。また、第2のMISFET2a及びオペアンプ6aは差動回路7aを構成し、第3のMISFET3a、第2のノード14、発振防止用コンデンサ19a及び出力

側トランジスタ5aは出力バッファ部8aを構成している。

【0105】本実施形態の階調制御用出力回路の特徴は、第2の電流供給部31及び傾斜バイアス用MISFET30が設けられている点にある。これによって、以下で説明するように、電源電圧供給ノード17の電圧降下によって、第2のMISFET2及び第3のMISFET3のゲート—ソース間電圧（ V_{GS1} 及び V_{GS2} ）が減少することを防いでいる。

【0106】また、傾斜バイアス用MISFET30は、本装置の動作中、常にオン状態となっている。そのため、傾斜バイアス用MISFET30のドレイン側の電位は、電源電圧供給部12の電位が少なくとも抵抗体13により電圧降下された電位となっている。そして、傾斜バイアス用MISFET30のドレインとゲート電極とは互いに接続されているので、傾斜バイアス用MISFET30のゲート電極の電位は、第1のMISFET11のゲート電極の電位よりも低くなっている。そのため、図2（b）に示すように、ゲートバイアス供給線15には電源電圧供給部12から離れるに従って電位が低くなるような電位勾配が形成される。そして、本実施形態の階調制御用出力回路では、ゲートバイアス供給線15における電位勾配が、電源電圧供給配線4における電圧降下の割合にほぼ比例するように設定することで、各々の第2のMISFET2及び第3のMISFET3のゲート—ソース間電圧（ V_{GS1} 及び V_{GS2} ）をほぼ一定にすることを可能にしている。

【0107】これにより、電源電圧供給部12からの距離に関わらず第2のMISFET2を流れる電流 I_1 の値をほぼ一定にすることができ、オペアンプ6のスルーレートをほぼ一定にすることができる。その結果、本実施形態の階調制御用出力回路によれば、すべての階調制御部1の出力部16から均一な電流値を有する電圧信号を、TFT及び画素に供給することが可能になる。

【0108】また、本実施形態の階調制御用出力回路においては、差動回路7に電源電圧を供給するための配線と出力バッファ部8に電源電圧を供給するための配線とが分離されていない。傾斜バイアス用MISFET30の面積は電圧供給線の面積に比べて非常に小さいので、本実施形態の階調制御用出力回路は、第1の実施形態の階調制御用出力回路に比べて面積が小さくなっている。駆動ドライバが液晶パネルに用いられる場合、多出力（400～500出力）を備え、パネルの辺縁部に配置される。そのため、駆動ドライバの面積が小さいことは、パネルを小型化するために重要である。

【0109】また、本実施形態の階調制御用出力回路においては、差動回路7と出力バッファ部8の電源電圧が、共に電源電圧供給配線4から供給されるので、抵抗体13の抵抗値のばらつきなどによらず、1つの階調制御部1内の差動回路7及び出力バッファ部8にそれぞれ

ほぼ等しい値の電源電圧が供給される。このことも、オペアンプのスルーレートを一定にするためには有利である。

【0110】以上のように、本実施形態の階調制御用出力回路を用いることにより、オペアンプ6のスルーレートをほぼ一定にし、負荷への充電時間を一定にすることができるので、液晶パネル及び電圧書き込み方式の有機ELパネルにおける表示ムラを抑えることができる。

【0111】また、本実施形態の階調制御用出力回路は、第1の実施形態の階調制御用出力回路よりも面積を小さくすることが可能であるので、集積化に有利であり、サイズの小さい液晶パネルにも好ましく用いられる。

【0112】なお、本実施形態の階調制御用出力回路において、階調制御部1内のカレントミラー回路をPチャネル型MISFETで構成したが、これに代えてNチャネル型MISFETを用いてもよい。その場合には、第1のMISFET11と傾斜バイアス用MISFET30も共にNチャネル型MISFETにすればよい。これは、以下の実施形態に係る階調制御用出力回路においても同様である。

【0113】なお、本実施形態の階調制御部1においても、電流 I_1 ：電流 I_2 の値の比は約1：5に設定されるが、 $I_1 < I_2$ であれば電流値の比に特に制限はない。

【0114】また、本実施形態の階調制御用出力回路において、ゲートバイアス供給線15上に電位勾配を形成するために第2の電流供給部31及び傾斜バイアス用MISFET30を設けたが、これに代えて、電源電圧供給部12とは独立した電流供給部と、第1のMISFET11のゲート電極の電位より低い電位を有する低電圧供給部とを設けてもよい。

【0115】なお、以上では階調制御用出力回路について説明したが、階調制御部1に代えて複数のカレントミラーを有する電流加算型D/Aコンバータを用いることで、電流による階調制御を行なうための階調制御用出力回路を実現することができる。この場合でも、各D/Aコンバータを構成するMISFETのゲートソース間電圧が互いに等しくなっているので、出力電流を一定にすることができる。このような階調制御用出力回路は、有機ELパネル及び無機ELパネル用のドライバや、LEDプリンタのヘッドとして用いることができる。電流駆動用の階調制御用出力回路については後に詳述する。

【0116】(第3の実施形態) 本発明の第3の実施形態に係る階調制御用出力回路は、第1の実施形態と第2の実施形態に係る階調制御用出力回路を組み合わせたものである。

【0117】図3は、本発明の第3の実施形態に係る電圧駆動用の階調制御用出力回路の構成を示す回路図である。なお、第1及び第2の実施形態と同じ素子及び回路には、図1、2と同じ符号を付してある。

【0118】図3に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、差動回路7、電圧選択スイッチ20、出力バッファ部8及び出力部16を有するN個の階調制御部1と、接地に接続され、一定の電流を供給するための第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部12との間に設けられた第1のノード23及び第2のノード24と、一定の電流を供給するための第2の電流供給部31と、ソースが第2の電流供給部31に接続され、ドレインとゲート電極とが互いに接続されたPチャネル型MISFETトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを接続するゲートバイアス供給線15と、第2のノード24と傾斜バイアス用MISFET30のソースとを互いに接続する差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、各差動回路7に接続された第2の電源電圧供給ノード26と、第2のノード24と第2の電源電圧供給ノード26との間及び各第2の電源電圧供給ノード間に設けられた抵抗体22と、第1のノード23とN番目の第3のMISFET31とを接続する出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、各出力バッファ部8に接続された第1の電源電圧供給ノード25と、第1のノード23と第1の電源電圧供給ノード25との間及び各第1の電源電圧供給ノード25間に設けられた抵抗体21とを備えている。なお、階調制御部1の構成は、第1の実施形態と同様である。

【0119】本実施形態の階調制御用出力回路においては、差動回路7に電源電圧を供給するための配線と出力バッファ部8に電源電圧を供給するための配線とが分離されることにより、電源電圧供給部12から遠い位置に設けられた第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26での電源電圧の降下を小さく抑えることができる。

【0120】これに加え、本実施形態の階調制御用出力回路では、ゲートバイアス供給線15上に電位勾配が形成されている。これにより、第2のMISFET2及び第3のMISFETのゲートソース間電圧 V_{GS1} 及び V_{GS2} の位置によるばらつきが抑えられている。

【0121】従って、本実施形態の階調制御用出力回路では、上述の2つの構成の相乗効果により、階調制御部1の位置によらず、オペアンプ6のスルーレートをより精度良く一定にすることができる。このため、本実施形態の階調制御用出力回路によれば、すべての階調制御部1の出力部16から出力される電流も一定とすることができ、負荷への充電時間を一定にすることができる。そ

の結果、本実施形態の階調制御用出力回路を用いることにより、液晶パネル及び電圧書き込み方式の有機ELパネルにおいて生じる表示ムラを抑えることができる。

【0122】（第4の実施形態）第1～3の実施形態の階調制御用出力回路において、第2のMISFET2には、共通の電圧供給線を介して電源電圧供給部12からの電源電圧が分配され、（これを以後「電圧分配方式」と称す）それぞれのゲートソース間電圧 V_{GS} はほぼ一定になるよう設定されている。

【0123】これに対し、本実施形態の階調制御用出力回路は、電源電圧供給部12から遠い位置に設けられた傾斜バイアス用MISFET30側に受け手側カレントミラー回路43を設け、第1の電流供給部10aから供給される電流と等しい大きさの電流をカレントミラー同士の電流分配により傾斜バイアス用MISFET30側に分配するものである。これを、以後「電流受け渡し方式」と称する。

【0124】図4は、本実施形態の階調制御用出力回路の構成を示す回路図である。なお、第3の実施形態と同じ素子及び回路には、図3と同じ符号を付してある。

【0125】同図に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、差動回路7、電圧選択スイッチ20、出力バッファ部8及び出力部16を有するN個の階調制御部1と、接地に接続された第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に順に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部との間に設けられた第1のノード23及び第2のノード24と、共にNチャネル型MISFETで、ゲート電極同士が互いに接続された第1のミラーMISFET43a及び第2のミラーMISFET43bから構成される受け手側カレントミラー回路43と、ドレインが第1のミラーMISFET43aに、ゲート電極が第1のMISFET11のゲート電極に、ソースが電源電圧供給部12にそれぞれ接続され、第1のMISFET11と共に送り手側カレントミラーを構成するPチャネル型の第4のMISFET41と、ソースが第2のNチャネル型MISFET43bに接続され、ドレインとゲート電極とが互いに接続されたPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを接続するゲートバイアス供給線15と、第2のノード24と傾斜バイアス用MISFET30のソースとを接続する差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、各差動回路7に接続された第2の電源電圧供給ノード26と、第2のノード24と第2の電源電圧供給ノード26との間及び各第2の電源電圧供給ノード間に設けられた

抵抗体22と、第1のノード23とN番目の第3のMISFET3とを接続する出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、各出力バッファ部8に接続された第1の電源電圧供給ノード25と、第1のノード23と第1の電源電圧供給ノード25との間及び各第1の電源電圧供給ノード25間に設けられた抵抗体21とを備えている。また、階調制御部1の構成は第3の実施形態と同様である。

【0126】本実施形態の階調制御用出力回路は、第3の階調制御用出力回路の第2の電流供給部31として、受け手側カレントミラー回路43と、第1の電流供給部10aから供給される電流を分配するための第4のMISFET41とが設けられたものである。

【0127】ここで、カレントミラーを構成する第1のMISFET11と第4のMISFET41とは互いに同一の素子構成並びに電気的特性を有しており、第1のミラーMISFET43aと第2のミラーMISFET43bも互いに同一の素子構成及び電気的特性を有している。加えて、本実施形態の階調制御用出力回路において、第1のMISFET11、第4のMISFET41、第1のミラーMISFET43a及び第2のミラーMISFET43bのそれぞれは飽和領域で動作するので、第1の電流供給部10aから供給される電流と、第2のミラーMISFET43bを流れる電流とは高精度で等しくなっている。

【0128】また、1つのバイアス回路で距離の離れた回路に一定電流を供給することが可能になるので、回路面積の増大を避けることができる。

【0129】これに加えて、電流受け渡し方式によれば、抵抗体による電圧降下の影響を受けずに電流を分配することができるので、電源電圧供給部12から遠い位置（数mm程度離れた位置）に設けられた第2のMISFET2（または差動回路7）に供給される電源電圧と電源電圧供給部12から近い位置に設けられた第2のMISFETに供給される電源電圧とを精度良く揃えることが可能になる。

【0130】この結果、本実施形態の階調制御用出力回路では、第2のMISFET2のゲートソース間電圧 V_{GS} は電源電圧供給部12からの距離によらず、ほぼ一定になっており、オペアンプ6のスルーレートもほぼ一定にすることができる。すなわち、本実施形態の階調制御用出力回路を用いることにより、液晶パネル及び電圧書き込み方式の有機ELパネルにおいて生じる表示ムラを抑えることができる。

【0131】なお、本実施形態では、電圧分配方式と電流受け渡し方式を組み合わせる例を説明したが、各階調制御部1の間にカレントミラー回路を設け、全ての第2のMISFET2に電流受け渡し方式で電流を分配することもできる。この場合には、面積が大きくなるため、実際には電源電圧供給部12から比較的近い第2のMISFET2に電流を受け渡すように構成される。

S F E T 2には電圧分配方式で電源電圧を分配し、電源電圧供給部12から比較的遠い第2のM I S F E T 2には電流受け渡し方式で電流を分配することが好ましい。

【0132】(第5の実施形態)本発明の第5の実施形態として、第1~4の実施形態で説明した電圧駆動用の階調制御用出力回路の構成を電流駆動用の階調制御用出力回路に適用した例を説明する。

【0133】図5は、本発明の第5の実施形態に係る階調制御用出力回路(電流駆動用ドライバ)の構成を示す図であり、図6は、図5に示す階調制御回路51の詳細な構成を示す図である。

【0134】図5に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、電流加算型のD/Aコンバータとして機能するN個の階調制御回路51と、接地に接続された第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型M I S F E Tである第1のM I S F E T 11と、第1のM I S F E T 11と電源電圧供給部12との間に設けられた第1のノード18と、共にNチャネル型M I S F E Tで、ゲート電極同士が互いに接続された第1のミラーM I S F E T 43a及び第2のミラーM I S F E T 43bから構成される受け手側カレントミラー回路43と、ドレインが第1のミラーM I S F E T 43aに、ゲート電極が第1のM I S F E T 11のゲート電極に、ソースが電源電圧供給部12にそれぞれ接続され、第1のM I S F E T 11と共に送り手側カレントミラーを構成するPチャネル型の第4のM I S F E T 41と、ドレインが第2のNチャネル型M I S F E T 43bに接続され、ドレインとゲート電極とが互いに接続されたPチャネル型M I S T ランジスタである傾斜バイアス用M I S F E T 30と、第1のM I S F E T 11のゲート電極と傾斜バイアス用M I S F E T 30のゲート電極とを接続するゲートバイアス供給線15と、各階調制御回路51に電源電圧を供給するための電源電圧供給配線4と、電源電圧供給配線4上に設けられ、各階調制御回路51にそれぞれ接続された電源電圧供給ノード17と、各電源電圧供給ノード17の間及び電源電圧供給ノード17と第1のノード18との間に介設された抵抗体13とを備えている。

【0135】また、図6に示すように、階調制御回路51は、ソースが電源電圧供給ノード17に接続され、且つ互いに並列に接続された複数の電流加算用のカレントミラー部52と、各電流加算用のカレントミラー部52のドレイン側にそれぞれ設けられ、出力側が互いに接続された選択スイッチ53と、選択スイッチ53の出力側に接続され、出力電流を供給するための出力部54とを有している。

【0136】また、電流加算用のカレントミラー部52は、互いに並列に接続されたPチャネル型M I S F E T

から構成されており、6ビットの階調(64階調)の場合、それぞれ1, 2, 4, 8, 16, 32個のPチャネル型M I S F E Tから構成されている。そして、選択スイッチ53は、Nチャネル型M I S F E T及びPチャネル型M I S F E Tからなるトランスファークラーク部49と、出力側がNチャネル型M I S F E Tに接続されたインバータ50とを有している。それぞれの選択スイッチ53は、順にデジタルデータ L_0, L_1, \dots, L_5 によってオン・オフが制御されている。また、電流加算用のカレントミラー部52を構成するM I S F E Tは互いに電気的特性が揃えられているので、選択スイッチ53がオンの場合には、電流加算用のカレントミラー部52の各Pチャネル型M I S F E Tに互いに等しい電流が流れるようになっている。

【0137】この構成により、本実施形態の階調制御用出力回路においては、64通りの大きさの電流を出力部54から供給することが可能になっている。加えて、第4の実施形態で説明したように、本実施形態の階調制御用出力回路の階調制御回路51間では出力部54から出力される電流量のばらつきが抑えられているので、本実施形態の階調制御用出力回路を用いれば、有機E L、無機E L及びL E D等の電流駆動の発光素子を用いたパネルの階調制御が実現されると共に、表示ムラの抑制も実現される。また、本実施形態の階調制御用出力回路をこれらの発光素子を用いたプリンタのヘッドに用いることにより、印字ムラの少ないプリンタを実現することができる。

【0138】また、本実施形態の階調制御用出力回路においては、比較的大きな面積を必要とするオペアンプを設ける必要がないため、オペアンプを用いるタイプの電流駆動用の階調制御用出力回路、あるいは電圧駆動用の階調制御用出力回路に比べてチップサイズを縮小することが可能になる。

【0139】以上の説明では、64階調を実現する階調制御用出力回路の例を示したが、nビット(M階調; $M=2^n$)の階調表示を実現するためには、それぞれ1, 2, ..., $M/2$ 個のM I S F E Tを有する電流加算用のカレントミラー部52を1つの階調制御回路51に設ければよい。ここで、Mは正の偶数であり、例えば、本実施形態の階調制御回路51に64個のPチャネル型M I S F E Tを有する電流加算用のカレントミラー部52をさらに設けることで、128階調の階調表示が可能になる。

【0140】また、本実施形態においては、電流加算用のカレントミラー部52のM I S F E Tの個数によって階調表示を実現していたが、ビット数あたり1つのM I S F E Tを設け、それらのゲート幅(W)/ゲート長(L)の値を1, 2, 4, ..., 32としてもよい。ただし、M I S F E Tの個数により階調制御を行なう方が出力電流の精度は高くなる。

【0141】このように、本実施形態の階調制御用出力回路においては、第1～第4の実施形態で説明した階調制御用出力回路の階調制御部1に代えて電流加算型D/Aコンバータを設けることにより、輝度ムラの少ない有機ELパネルを実現することができる。

【0142】なお、本実施形態の階調制御用出力回路において、電流加算用のカレントミラー部52を構成するMISFETとしては、Nチャネル型MISFETを用いてもよい。

【0143】なお、本実施形態の階調制御用出力回路において、階調制御回路51に代えて第2の実施形態で用いられた階調制御部1を備える場合には、液晶パネル等に用いられる電圧駆動用ドライバとなる。

【0144】（第6の実施形態）本発明の第6の実施形態に係る階調制御用出力回路は、次の4つの特徴を有する電流駆動ドライバである。

【0145】まず、第1の特徴は、多段化されたカレントミラー部が設けられることにより、出力電流間のばらつきが低減されている点である。

【0146】次に、第2の特徴は、表示装置に与える輝度制御と、実際に表示される輝度特性との間の差を補正する手段が講じられた点である。

【0147】そして、第3の特徴は、表示装置上の信号線に生じる寄生容量の充電を補助するための選択プリチャージ回路（不図示）と選択プリチャージ制御回路62とが設けられた点である。

【0148】次に、第4の特徴は、出力電流を嵩上げするための電流嵩上げ制御回路61が設けられた点である。

【0149】図9は、本発明の第6の実施形態に係る階調制御用出力回路を用いた電流駆動方式の表示装置の構成を示すブロック回路図である。

【0150】同図に示すように、本実施形態の階調制御用出力回路は、ロー（LOW）側電流出力部を有し、1～4・8・16階調を制御するためのロー側階調制御回路59と、ロー側階調制御回路59に基準電圧 V_{st1} を供給するためのロー側カレントミラー部55と、ハイ（HIGH）側電流出力部を有し、4・8・16～64階調を制御するためのハイ側階調制御回路60と、出力部64に接続された電流嵩上げ制御回路61と、ハイ側階調制御回路60及び電流嵩上げ制御回路61にそれぞれ基準電圧 V_{st2} を供給するためのハイ側カレントミラー部56と、ディスプレイ側のソース信号線58に接続された選択プリチャージ制御回路62とを備えている。

【0151】また、図9では簡略化されて示されているが、ロー側カレントミラー部55及びハイ側カレントミラー部56は共に3段構成をとっており、それぞれ176出力を有している。このロー側カレントミラー部55の一段目及びハイ側カレントミラー部56の1段目（親電流源）は、それぞれ外部の抵抗体63a、63bに接

続されている。

【0152】また、出力部64からはロー側電流出力部、ロー側電流出力部からの出力電流に、電流嵩上げ制御回路61からの出力電流が加算された電流がディスプレイパネル側に供給される。

【0153】以下に、本実施形態の階調制御用出力回路の特徴について説明する。ただし、嵩上げ回路についての説明は、後の実施形態で行なう。

【0154】—カレントミラー部の多段化—

カレントミラー回路の定電流特性を維持するためには、共通の電圧供給線に接続されたミラートランジスタの数を限定する必要がある（電圧分配方式）。これは、ミラートランジスタの数が増えると、先に説明したように、電圧供給線における電圧降下の影響が大きくなるからである。

【0155】一方、電流駆動用の階調制御用出力回路は、電圧駆動用の階調制御用出力回路と同様に多くの出力を有しており、本実施形態の階調制御用出力回路の出力数は、R（赤）・G（緑）・B（青）の各色当たり176出力で、合計528出力である。この176出力に対応するカレントミラーに共通の電圧供給線から電源電圧を供給するとすると、出力電流間のばらつきが生じるおそれがある。そこで、カレントミラー同士を接続する電流受け渡し方式を用いることになるが、電流分配の数を増加させれば消費電流が増加するため、製品の性能とのトレードオフがある。このため、本願発明者らは、電流受け渡し方式を電圧分配方式とを併用し、カレントミラー部の多段化構造を採用した。

【0156】図7は、電流源を3段式にした場合の多段式カレントミラー部を示す図である。

【0157】同図に示すように、第1段カレントミラー（親電流源55a）の電流値は、カレントミラー回路により16個の第2段カレントミラー（子電流源55b）にコピーされる。さらに、子電流源55bの電流値も、カレントミラー回路により11個の第3段カレントミラー（孫電流源55c）にコピーされる。このようにして、各段のカレントミラーを構成するMISFETには、互いに等しい大きさの電流が分配される。上記の構成により、親電流源55aの電流値は、 $16 \times 11 = 176$ 個の孫電流源55cに伝達されることになる。このカレントミラー部の構成によれば、親電流源55aの電流値を直接176個の孫電流源55cに伝達する場合よりも、孫電流源55cからの出力電流値のばらつきを小さくすることができる。そのため、多段式カレントミラー部が有機ELディスプレイなどに用いられる場合には、表示ムラを小さくすることができる。

【0158】本実施形態の階調制御用出力回路は、上述の3段構成の多段式カレントミラー部を備えているので、各ロー側階調制御回路59に入力される基準電圧 V_{st1} 、 V_{st2} のばらつきが小さくなっている。その

ため、各々のロー側電流出力部及びハイ側電流出力からの出力電流のばらつきも低減されている。

【0159】なお、カレントミラー部の段数は3段以上であってもよく、カレントミラー部の出力数を適当な数に変更してもよい。

【0160】 γ 補正に対する取り組み

ディスプレイに用いられる発光素子の輝度は、印加電流に正比例して上がるわけではない。印加電流が小さい時よりも、印加電流が大きい時の方が輝度に対する電流の増加率が大きくなっている。これは γ 特性と呼ばれ、液晶の場合でも見られる特性である。

【0161】図8は、電流駆動用の階調制御用出力回路が出力する電流の階調レベルー出力電流特性を示す図である。

【0162】電流駆動用の階調制御用出力回路においては、カレントミラーを用いた単位電流源の組み合わせで階調を制御するため、階調制御を行うカレントミラー部が1つの場合、階調レベル対出力電流のグラフは直線になる。そのため、パネル上の発光素子の輝度が設定からずれることがあった。

【0163】そこで、本願発明者らは、この不具合を解決するために、表示装置に用いられる階調制御用出力回路のカレントミラー部及び階調制御回路をロー側とハイ側の2つに分け、出力電流が小さい時にはロー側電流出力部からのみ電流が出力され、出力電流が大きい場合にはハイ側電流出力部からの電流がロー側電流出力からの電流に加算されるようにした。

【0164】本実施形態の階調制御用出力回路においては、1～16階調までを単独で制御できるロー側階調制御回路59からの出力電流は出力部64から常に出力され、4、8、16、32、64階調を制御できるハイ側階調制御回路60からの出力電流は、16階調を越える階調制御の時にのみ出力部64から出力される。

【0165】その結果、出力電流の特性は図8中に矢印で示したように、発光素子の γ 特性に近似される。本実施形態の例では、階調レベルー出力電流特性グラフの傾きは、16階調以下で10nA/階調、16を越え64階調までが40nA/階調となっている。

【0166】ここで、ロー側階調制御回路59及びハイ側階調制御回路60中のスイッチ回路のオン・オフは、データ変換回路、2段ラッチを介して印加される γ 補正制御信号G0～G1及び画像データD0～D5によって制御されている。

【0167】これにより、本実施形態の階調制御用出力回路を有機ELパネル等に用いる場合、設定通りの階調制御を行えるようになる。

【0168】このような γ 補正の対策が講じられた本実施形態の階調制御用出力回路は、有機ELだけでなく無機ELやLEDなどの発光素子を用いた表示装置に用いられる。また、これら発光素子を用いたプリンタヘッド

にも利用できる。

【0169】なお、図9では、1色のみの電流駆動用の階調制御用出力回路の例を示したが、有機EL、無機EL、LEDなどの発光素子では、R、G、Bの色ごとに γ 特性が異なるので、R、G、Bの各色の出力に対して異なる出力特性を有する多段式カレントミラー部を設けることが好ましい。

【0170】なお、本実施形態の階調制御用出力回路では、互いに異なる直線特性を有するカレントミラー部の組み合わせることで階調ー出力電流特性を γ 特性に近似させたが、3組み以上の多段式カレントミラー部及び階調制御回路を組み合わせることで、より精度の良い近似が実現される。

【0171】一選択プリチャージ制御回路

図24に示すように、有機ELパネルでは、例えば低温ポリシリコンからなるPチャネル型のTFTが多数配置されている。このパネルでは、パネルから階調制御用出力回路側に引き込む電流I₀を大きくすれば、TFT及び有機EL素子にも大きな電流が流れるため、有機EL素子の輝度が高くなる。このとき、白色が表示される。

【0172】逆に、TFTのドレイン電圧を高くすると、電流が低減するため、パネルには黒色が表示される。このとき、ドレイン電圧を高くするためには、ソース信号線58の電位をパネルの電位近傍まで上昇させる必要がある。

【0173】しかし、パネルの信号線には大きな寄生容量があり、黒表示の際にはこの寄生容量を充電する必要がある。ところが、低温ポリシリコンの移動度はシリコン結晶よりも1桁低く、電流能力が小さいので、速やかな黒表示が困難であった。

【0174】電流能力を改善するためにはTFTのW/L比を大きくすればよいが、画素中のTFTは表示画素上に配置されているため、W/L比を大きくすると、ディスプレイの開口率が低下してしまうという不具合が生じる。

【0175】これを解決するため、本願発明者らは検討の結果、駆動回路側からプリチャージを行なうこととした。すなわち、ソース信号線58の寄生容量を一定期間を充電し、低温ポリシリコンの電流能力を補うための選択プリチャージ回路及び選択プリチャージ制御回路を階調制御用出力回路中に設けた。

【0176】図10は、本実施形態の階調制御用出力回路における選択プリチャージ回路及び選択プリチャージ制御回路の一例を示す回路図である。

【0177】同図に示すように、本実施形態における選択プリチャージ回路62aは、Nチャネル型MISFET70aとPチャネル型MISFET70bとから構成されたトランスファークラップ70と、出力部がNチャネル型MISFET70aのゲート電極に接続され、入力部がPチャネル型MISFET70bのゲート電極に接

続されたインバータ71とを有している。トランスファ—ゲート70のソースは電源電圧PVを供給するための電源電圧供給部に接続されており、ドレインは電流出力ノード77を介して階調制御回路の出力部に接続されている。

【0178】また、選択プリチャージ制御回路62は、例えば、NOR回路74と、OR回路75と、選択プリチャージ回路62aを制御するための信号を出力するNAND回路76とを有している。なお、これらの選択プリチャージ回路及び選択プリチャージ制御回路は、階調

制御用出力回路の一部としてチップに集積化される。

【0179】本実施形態における選択プリチャージ回路62aは、タイミング制御されており、画像データが黒レベルに近い例えば0~7の場合、1水平期間の初めの一定期間だけ黒レベルに相当する電圧を出力するように選択プリチャージ制御回路62に制御される。これにより画像データが黒レベルに近い場合、ソース信号線58の寄生容量があらかじめ充電され、黒表示の品質を向上させることができる。

【0180】それ以外の期間には、トランスファ—ゲート70がオフに制御されているので、寄生容量の充電は行われない。

【0181】また、選択プリチャージ制御回路62及び選択プリチャージ回路62aを用いれば、黒レベルに近い画像データが入力された際に、選択的にプリチャージ期間を制御することができるので、特に比較的寄生容量が小さいパネルにおいて無駄な電力消費を抑えることができる。

【0182】なお、選択プリチャージ制御回路62及び選択プリチャージ回路62aを備えた階調制御用出力回路は、アモルファスシリコンを用いたTFTを有するパネルの制御にも好ましく用いられる。

【0183】なお、選択プリチャージ制御回路62及び選択プリチャージ回路62aの上記の機能は、ロー側カレントミラー部55、ハイ側カレントミラー部56の有無や γ 補正手段の有無に関わらず発揮されるものである。また、選択プリチャージ制御回路62及び選択プリチャージ回路62aは、有機EL以外の発光素子を用いた表示装置にも有効である。

【0184】なお、本実施形態の階調制御用出力回路において、電流嵩上げ制御回路61、選択プリチャージ制御回路62及び選択プリチャージ回路62aを備えていなくても、従来の階調制御用出力回路に比べ表示装置の表示ムラを抑えることができるが、これらの回路を備える場合の方がより精度の高い画像表示を可能にすることができる。

【0185】(第7の実施形態) 本発明の第7の実施形態として、第6の実施形態に係る階調制御用出力回路と同一の回路構成を有し、レイアウトが改善された階調制御用出力回路(電流駆動用ドライバ)について説明す

る。

【0186】図11は、本発明の第6の実施形態に係る階調制御用出力回路のレイアウトの参考例を示す図であり、図12は、本発明の第7の実施形態に係る階調制御用出力回路のレイアウトを示す図である。なお、図11、図12の例とも2層配線を用いたレイアウトを示している。

【0187】表示装置用の駆動ドライバは、通常幅が数mmであるが、パネルの辺縁部のサイズを小さくし、パネルサイズの縮小を図るために、回路の小面積化は重要である。そこで、本願発明者らは、第6の実施形態の階調制御用出力回路のレイアウトの改善を検討した。

【0188】図11及び図12に示す階調制御用出力回路では、ロー側カレントミラー部の子(第2段)電流源LCCSとハイ側カレントミラー部の子電流源HCCSとが1組みとなり、それがR(赤)用、G(緑)用、B(青)用の順で16個分横一列に並んでいる。そして、ロー側カレントミラー部の子電流源LCCSからはそれぞれ11本ずつのロー側電流出力回路LDRVに向かって配線が延び、ハイ側カレントミラー部の子電流源HCCSからは、それぞれ11本ずつのハイ側電流出力回路HDRVに向かって配線が延びている。さらに、ロー側電流出力回路LDRV及びハイ側電流出力回路HDRVからは共に出力制御回路OCTLに向かって配線が延びている。

【0189】ここで、ロー側電流出力回路LDRVには、図9に示すロー側カレントミラー部55の孫電流源とロー側階調制御回路59とが含まれており、ハイ側電流出力回路HDRVには、ハイ側カレントミラー部56の孫電流源とハイ側階調制御回路60とが含まれている。また、出力制御回路OCTLには、出力部64及び選択プリチャージ制御回路62等が含まれる。

【0190】図11に示すように、レイアウトの参考例では、ロー側電流出力回路LDRV、ハイ側電流出力回路HDRV及び出力制御回路OCTLは、図の左側から順にR、G、B、R、G、B…の順に配置されている。このレイアウトによれば、図11に示す右側の太線で表した配線のように、比較的短い配線がある反面、極端に長くなる配線が生じる。また、配線同士の交差が多くなり、配線が複雑になっていることが分かる。

【0191】これに対し、図12に示すように、本実施形態のレイアウトでは、R用のロー側カレントミラー部の子電流源LCCSとハイ側カレントミラー部の子電流源HCCSの1組に接続された電流出力回路と出力制御回路とがまとめて配置されている。また、ロー側電流出力回路LDRV、ハイ側電流出力回路HDRV及び出力制御回路OCTLはマトリックス状に配置され、第1行がロー側電流出力回路LDRV、第2行がハイ側電流出力回路HDRV、そして第3行が出力制御回路OCTLになっている。

【0192】このようなレイアウトにより、図11に示す参考例で見られたような、極端に長い配線無くすことができる上、配線同士の交差も減らすことができる。このため、カレントミラー部から出力制御部までの間の配線領域を低減できる。

【0193】なお、図12にはR用のみについて示したが、順にG用のみ、B用のみを固めた配置が同図で示した領域の側方に続く。

【0194】図13は、本実施形態の階調制御用出力回路の出力配線領域を示す配線図である。

【0195】同図に示すように、本実施形態のレイアウトを適用する場合、カレントミラー部から出力制御部までの配線の引き回しが低減されるのに対し、出力制御回路OCTLの出力部(IOUT1~11)から表示パネルへの出力端子までの配線の引き回しは、上述の参考例に比べて長くなる。

【0196】しかしながら、本実施形態の階調制御用出力回路においては、カレントミラー部と出力制御部とは2:1対応となっているのに対し、出力制御部と表示パネルへの出力端子とは1:1対応しているため、カレントミラー部から出力制御部までの配線を簡略化する方法が、配線領域の面積低減には効果的である。

【0197】このため、 γ 補正のために3つ以上の電流出力回路を設ける場合、本実施形態の階調制御用出力回路のレイアウトによれば、参考例のレイアウトと比較してさらに効果的に配線領域の面積を低減することができる。

【0198】なお、本実施形態においては、1つの親電流源につき176出力で、1つのチップ当たりR、G、Bを合わせて $176 \times 3 = 528$ 出力である例を説明したが、本実施形態のレイアウトは、出力数の異なる階調制御用出力回路にも適用することができる。

【0199】また、階調制御用出力回路がカラープリンタのヘッドとして用いられる際には、駆動する画素が4色以上になる場合があるが、この際にも本実施形態のレイアウトを用いれば、配線面積の著しい増大を防ぐことができる。

【0200】(第8の実施形態) 本発明の第8の実施形態として、第5の実施形態で説明した階調制御回路51のレイアウトが改善された例について説明する。このレイアウトは、第6の実施形態におけるロー側階調制御回路59及びハイ側階調制御回路についても適用される。

【0201】図14(a)、(b)は、それぞれ階調制御回路の構成を示す回路図、及び該階調制御回路のレイアウトの参考例を概略的に示す図である。

【0202】図14(a)に示すように、図6に示す階調制御回路51は、互いに同じ素子構成を有するPチャネル型MISFETから構成された複数のカレントミラー部52と、各カレントミラー部52に接続され、カレントミラー部52と同数の選択スイッチ53とから構成

されている。そして、各選択スイッチ53は、Pチャネル型MISFETとNチャネル型MISFETから構成されたトランスファークローク49と、インバータ50とから構成されている。全ての選択スイッチ53からの出力は、出力配線を通して共通の出力部IOUTに向かう。

【0203】この出力配線には、全ての選択スイッチ53からの出力電流が集約されることになるので、この出力配線のインピーダンスを下げることは、出力電流の精度を上げる上で重要である。

【0204】また、図14(b)に示すように、階調制御回路51のレイアウトの参考例は、カレントミラー部52(CM)、トランスファークローク49(TG)、インバータ50(IN)の各部ごとに集めて配置するものである。このレイアウトによれば、階調制御回路51を集積化した半導体チップの不純物拡散工程やエッチング工程などで、マスクを作製しやすいという利点がある。

【0205】しかしながら、この参考例のレイアウトによれば、図14(b)からも分かるように、回路図において離れた位置にある素子同士をまとめるために、配線が冗長になってしまっていた。パネルに用いられる電流駆動用ドライバの幅は数mm程度であるので、出力配線と逆方向に向かう冗長配線の存在により、出力配線の幅は狭くなり、階調制御回路51の出力インピーダンスは大きくなってしまふ。

【0206】そこで、本願発明者らは、回路配置の改善を試みた。

【0207】図15(a)は、階調制御回路の構成を示す回路図(図14(a)と同じ)、同図(b)は、該階調制御回路のレイアウトの参考例を概略的に示す図(図14(b)と同じ)、同図(c)は、本実施形態に係る階調制御回路のレイアウトを概略的に示す図である。

【0208】図15(c)に示すように、本実施形態の階調制御回路のレイアウトは、カレントミラー部52と、それに接続されたトランスファークローク49及びインバータ50をひとまとめにして配置し、それが回路構成に従って一列に配置されるものである。すなわち、カレントミラー部52と、それに接続されたトランスファークローク49及びインバータ50のまとまりを「階調生成部」と呼ぶとすると、ビット数ぶんの階調生成部が一列に配置される形になっている。

【0209】本実施形態の階調制御回路のレイアウトによれば、回路構成に従って各素子が配置されているので、図15(b)に示すような冗長な配線を生じることがない。これにより、階調制御回路の出力配線の幅を広げて、階調制御回路の出力インピーダンスを低減することが可能になる。

【0210】また、冗長な配線無くすことができるので、配線面積を低減することができるので、階調制御回路を集積化したチップの面積を大きく低減することがで

きる。

【0211】なお、本実施形態の階調制御回路のレイアウトは、MISFETのゲート幅/ゲート長の値を変えることによって階調制御を行うタイプの階調制御回路にも適用することができる。

【0212】（第9の実施形態）

—電流嵩上げ回路—

発光素子を用いた電流駆動方式のパネルにおいて、表示特性を改善する方法として、輝度全体を変化させるコントラスト調整がある。

【0213】このコントラスト調整を実現するための回路が、電流嵩上げ制御回路である。これは、嵩上げ信号K0〜K1を受けてハイ側階調制御回路60及びロー側階調制御回路59からの出力電流を嵩上げするための電流を出力するための回路である。

【0214】例えば、第6の実施形態に係る階調制御用出力回路において、この電流嵩上げ制御回路からの嵩上げ電流が、階調制御回路の出力部64に入力されるようになっている。この場合、すべての階調を制御する際に、出力部64から出力される電流は嵩上げされる。

【0215】しかしながら、出力電流の嵩上げは、階調制御回路の出力すべてについて行う必要があるため、図9に示す電流嵩上げ制御回路61は、ハイ側階調制御回路60と共通のハイ側カレントミラー部56に接続されるか、別途設けた嵩上げ回路用カレントミラー部65に接続されるかのどちらかしなかった。

【0216】図16(a)、(b)は、それぞれ同図(b)に示す階調制御用出力回路の電流値—階調レベル特性を示す図、及び嵩上げ回路用カレントミラー部65を設けた場合の階調制御用出力回路の例を示すブロック回路図である。

【0217】図9及び図16に示す階調制御用出力回路では、電流嵩上げ制御回路61の効果はあるが、配線やカレントミラー部の面積が増加してしまう。

【0218】—本実施形態の階調制御用出力回路—
図17は、本実施形態の階調制御用出力回路のうち、電流嵩上げ制御回路を示す図である。

【0219】なお、本実施形態の階調制御用出力回路は、表示装置の電流駆動用ドライバ、プリンタのヘッドなどに用いられる。

【0220】本実施形態の階調制御用出力回路は、出力部64に接続されたロー側階調制御回路59と、ロー側階調制御回路59に基準電圧 V_{st1} を供給するためのロー側カレントミラー部55と、ロー側カレントミラー部55とロー側階調制御回路59との間に設けられた電流嵩上げ制御回路66と、ロー側出力部64に接続されたハイ側階調制御回路60と、ハイ側階調制御回路60に基準電圧 V_{st2} を供給するためのハイ側カレントミラー部56と、ディスプレイ側のソース信号線58に接続された選択プリチャージ制御回路62とを備えてい

る。

【0221】図17に示すように、電流嵩上げ制御回路66は、それぞれ1個、2個のカレントミラーを有するカレントミラー部と嵩上げ信号K0、K1に応じてオン・オフを決定するスイッチ回路とから構成されている。

【0222】この電流嵩上げ制御回路66は、ロー側階調制御回路59と類似の構成を有しているため、製造が容易な上、カレントミラー部を新たに設ける必要もない。このため、本実施形態の階調制御用出力回路は、図9及び図16(b)に示す階調制御用出力回路に比べて、面積を大幅に縮小することができる。

【0223】なお、本実施形態における電流嵩上げ制御回路66が嵩上げを行うのは、ロー側階調制御回路59の出力電流のみである。しかしながら、ロー側階調制御回路59の出力電流は常に出力部64から出力されているので、これによる不具合は生じない。加えて、高い階調よりも低い階調を制御する電流を嵩上げする方が重要である。

【0224】このように、本実施形態の階調制御用出力回路によれば、面積の増加を抑えつつ、電流嵩上げ制御回路によるコントラスト調整を容易に実現することができる。

【0225】（第10の実施形態）本発明の第10の実施形態として、これまでの実施形態で説明した階調制御用出力回路（電流駆動用ドライバ）の検査装置を説明する。

【0226】電流駆動方式に用いられる階調制御用出力回路の1階調当たりの電流は10nA〜20nAであり、検査時に検出すべき電流値もこれに同じである。このため、階調制御用出力回路から出力される微小な検査電流を、減衰させずに半導体テスター79に伝達する必要がある。

【0227】これを解決するため、本願発明者らは、微小電流である検出電流を電圧に変換して伝達することを考えた。

【0228】図18(a)、(b)は、それぞれ電流駆動用の階調制御用出力回路を検査するための本発明の第10の実施形態に係るプローブカードを示す断面図、及び該プローブカードの断面を示すブロック回路図である。

【0229】図18(a)、(b)に示すように、本実施形態のプローブカードは、上面が半導体テスター79に設置可能な基板78と、基板78の下面上に設けられ、導体からなるプローブ83と、基板78上の、プローブ83の根元から約10cm以内に配置され、プローブ83に接続された高精度の抵抗体88と、抵抗体88に接続され、基板78を貫通して設けられた配線とを備えている。

【0230】また、被検査ウエハ82上には、例えば検査用のパッド87（またはバンプ）と、パッド87に接

続された図示しない内部回路とが設けられている。

【0231】半導体テスター79は、被検査ウエハ82から出力された検査信号を基準電圧と比較するためのコンパレータを有している。

【0232】次に、本実施形態のプロブカードを用いた検査手順を簡単に説明する。

【0233】まず、検査時にはプロブカード78を半導体テスター79にセットし、プロブ83を被検査ウエハ82のパッド87に当接させる。この状態で、所定値の電流を、プロブ83から被検査ウエハ82上のパッド87に入力する。

【0234】次に、入力した電流に応じた電流信号がパッド87からプロブ83に伝達される。この時、図18(b)に示すように、プロブ83の直近に配置された抵抗体80により被検査ウエハ82からの電流信号は電圧信号に変換される。この電圧信号は、プロブカード78の配線86や接続配線85や図示しない治具等を経て半導体テスター79に伝達される。

【0235】次に、半導体テスター79に入力された電圧信号は、コンパレータの負側入力部に入力され、所定の基準電圧と比較される。この際に、電圧信号と基準電圧との差が一定の範囲内であれば、製品は「合格」と判定される。

【0236】一般に、電圧信号は、電流信号に比べて伝送経路中で減衰しにくい。そのため、本実施形態のプロブカードにおいては、被検査ウエハ82からの電流信号を、抵抗体80によって電圧信号に変換することで、被検査ウエハからの信号を半導体テスター79に確実に伝達させることができる。ただし、本実施形態のプロブカードにおいて、抵抗体80を通る信号の経路は、インピーダンスが大きい場合、外乱ノイズの影響を受けないように、シールド対策が施されることが望ましい。

【0237】なお、本実施形態のプロブカードにおいて、プロブ83と抵抗体80との距離は、10cm程度以下であることが好ましい。これは、プロブ83と抵抗体80との間の距離が大きくなりすぎると、抵抗体80に至るまでに電流信号が減衰するおそれがあるからである。

【0238】また、ここで示したプロブカードは、チップごとにウエハを検査するタイプのものであるが、ウエハバースイン用のプロブカードであっても、プロブの直近に高精度の抵抗体を設けることで、階調制御用出力回路を有するウエハの検査が可能になる。

【0239】また、被検査ウエハとしては、階調制御用出力回路を有するものに限らず、微少電流を出力する機能を有する回路が設けられたウエハであれば同様の本実施形態のプロブカードで検査することができる。

【0240】なお、本実施形態のプロブカードに配置される抵抗体88としては、集積化されたものを用いてもよい。

【0241】(第11の実施形態) 第10の実施形態に係るプロブカードを用いる検査において、検出すべき電圧の範囲が大きく変化する場合には、電圧信号の電圧値が半導体テスター79のコンパレータの検出範囲外となることがある。これを避けるため、本願発明者らは、プロブカードの構造をさらに改善することを検討した。

【0242】図19は、本発明の第11の実施形態に係るプロブカードの断面を示すブロック回路図である。

【0243】本実施形態のプロブカードは、基板78と、基板78の下面上に設けられたプロブ83と、基板78の下面上のうち、プロブ83の直近に配置された高精度で抵抗値が設定された抵抗体80と、基板78の下面上に設けられ、出力部に抵抗体80の一端が、負側入力部に抵抗体80の他端がそれぞれ接続されたコンパレータ81と、基板78を貫通して設けられた配線(図示せず)とを備えている。また、コンパレータ81の正側入力部には、検査時に半導体テスター79から基準電圧信号が供給される。ここで、オペアンプとしては、入力インピーダンスが高いものが好ましく用いられる。

【0244】本実施形態のプロブカードには、抵抗体80で負帰還され、正側入力部に基準電圧信号が入力されたオペアンプ81を備えている。負帰還されたオペアンプ81の正側入力部に入力された電圧の利得(出力電圧)/(入力電圧)は、抵抗体80の帰還率で決まるので、入力された信号電圧の大きさに応じて基準電圧信号を変えることで、信号電圧の範囲を半導体テスター79のコンパレータの測定可能範囲内に収めることができる。具体的には、被検査ウエハ82からの信号電流が小さい時は低電圧の基準電圧信号をオペアンプ81の正側入力部に入力し、信号電流が大きい時は高電圧の基準電圧信号をオペアンプ81の正側入力部に入力する。なお、オペアンプ81としては、入力インピーダンスが十分に高いものを用いる。

【0245】このように、本実施形態のプロブカードにおいては、被検査ウエハ82からの信号電流の大きさに応じて基準電圧信号を変化させることで検出する信号電圧の範囲を制御することができる。これにより、検査をより簡単に精度良く行なうことが可能になる。

【0246】なお、本実施形態のプロブカード上に設けられるオペアンプ81は、大きさが問題となるので、チップ上に集積化されたものを用いることが好ましい。

【0247】(第12の実施形態) 本発明の第12の実施形態として、電流信号を電圧信号に変換するための抵抗体を、階調制御用出力回路を搭載したチップ上に設けたものについて説明する。

【0248】図20(a)、(b)は、それぞれ通常時における本実施形態の半導体チップを示す回路図、及び検査時における本実施形態の半導体チップを示す回路図

である。ここで、通常時とは、通常動作時と電源切断時を含めたときを指す。

【0249】同図(a), (b)に示すように、本実施形態の半導体チップは、集積化された階調制御用出力回路と、該階調制御用出力回路の出力部107と選択プリチャージ回路106とに接続された高精度で抵抗値が設定された抵抗体100と、静電放電(ESD)から内部回路を保護するためのダイオード102, 103と、スイッチ回路104, 105と、外部端子(図示せず)とを備えている。

【0250】本実施形態の半導体チップについての説明を、動作モードごとに行なう。

【0251】まず、図20(a)に示すように、通常時(電源切断時及び通常動作時)には、スイッチ回路104はオフになるとともにスイッチ回路105は抵抗体100を外部端子に接続させる。このとき、外部端子、抵抗体100、階調制御用出力回路とは互いに直列に接続されていることになる。

【0252】これにより、外部端子から静電気などの高電圧が印加された場合に、抵抗体100の電圧降下作用により階調制御用出力回路を保護することが可能になる。

【0253】一方、図20(b)に示すように、検査時には、スイッチ回路104はオンになるとともにスイッチ回路105は抵抗体100を接地に接続させる。

【0254】これにより、測定用の電流信号が外部端子から出力される前に、抵抗体100によって電圧信号に変換される。

【0255】以上のように、本実施形態の半導体チップによれば、抵抗体100を通常時にはESD保護用抵抗として用い、検査時には電流/電圧変換用抵抗として用いることにより、ESD保護を図るとともに、精度の高い検査を実行することができる。また、抵抗体100を半導体チップ上に設けることによって、第11の実施形態のように、プローブカード上に抵抗体を設ける必要がない。そのため、階調制御用出力回路を検査するために、低品質のプローブカードを用いても検査ができるようになる。

【0256】なお、本実施形態の半導体チップにおいても、集積化された内部回路は、階調制御用出力回路以外の、微小電流を出力する回路であってもよい。

【0257】また、スイッチ回路104, 105は、本実施形態で説明した位置と異なる場所に設けることもでき、検査時と通常時で抵抗体の接続を切り替えることができればよい。

【0258】(第13の実施形態)本発明の第13の実施形態は、階調制御用出力回路(電流駆動ドライバ)の検査方法に関するものである。

【0259】図21は、本発明の第13の実施形態に係る階調制御用出力回路の検査方法を説明するための回路

図である。階調制御用出力回路の例として、ここでは、図17に示す第9の実施形態にの階調制御用出力回路を示している。

【0260】本発明の階調制御回路において、階調制御回路からの出力電流の大きさは、多段式カレントミラーから供給される電流の大きさによって変わる。本実施形態で用いられる多段式カレントミラーでは、1つの親電流源を流れる電流と同じ値の電流が176個の階調制御回路に供給されるので、多段式カレントミラー部に入力される電流を増やせば、この多段式カレントミラー部に接続されるすべての階調制御回路から出力される電流も増えることになる。

【0261】そこで、本実施形態の階調制御用出力回路の検査方法では、外部の抵抗体68よりも低い抵抗値を有する抵抗体69を用いる。

【0262】そして、検査時には、抵抗体69を、ロー側カレントミラー部55に対して外部抵抗68と並列に接続する。

【0263】通常時には、スイッチ回路等によって、抵抗体69はロー側カレントミラー部55に接続されないように接続を切り替える。

【0264】この方法により、検査時には、通常動作時よりも大きい電流が一時的に流れ、階調制御用出力回路から出力される信号電流を例えば10倍にすることができる。この結果、検査時に、寄生素子や配線材による絶縁抵抗リークの影響を低減することができる。

【0265】なお、本実施形態の検査方法によれば、ロー側カレントミラー部55に外部の抵抗体69が接続される例を示したが、ハイ側カレントミラー部56に抵抗体69を接続してもよい。

【0266】(第14の実施形態)本発明の第14の実施形態として、階調制御用出力回路を検査するために、共通のラッチ回路を設ける例について説明する。

【0267】図22は、階調制御用出力回路において、外部からの入力信号の経路を示すためのブロック回路図である。

【0268】本発明の階調制御用出力回路が表示装置用の電流駆動用ドライバとして用いられる場合、表示データは、データ入力端子から入力され、ビットセル(1出力分のセル回路)ごとに複数のラッチ回路にラッチされてから各階調制御回路に供給される。すなわち、通常動作時に外部から入力された表示データは、通常動作ラッチ回路111a, 111bなどを経由し、図22に示す黒線のような経路をたどって階調制御回路に入力される。

【0269】しかしながら、微小な電流を検査のために入力する場合、上記の経路をたどるとすると、検査時間が長くなってしまふ。特に、アナログ電流を入力して階調の変化を検査する際などには、検査時間が膨大になってしまう。

【0270】そこで、本願発明者らは、検査時間を短縮し、検査効率を向上させるため、検査時にのみ使用する、チップ上の全出力部に対して1つの共通ラッチ回路90を階調制御回路を集積化したチップ上に設けることとした。

【0271】図23は、本実施形態の半導体チップにおける選択回路の構成を示す回路図である。

【0272】同図に示すように、本実施形態の半導体チップは、半導体チップ上に集積化された階調制御用出力回路と、階調制御用出力回路のビットセルごとに設けられた通常動作用ラッチ回路111と、半導体チップ上に1つ設けられた共通ラッチ回路90と、通常動作用ラッチ回路111と共通ラッチ回路90のうちいずれかを階調制御用出力回路のビットセルに接続させるための選択回路とを備えている。

【0273】共通ラッチ回路90からは、すべてのビットセルに接続するための配線が延びている。

【0274】通常動作時には、この共通ラッチ回路90がビットセルに接続しないように、スイッチ回路がオフの状態になっている。

【0275】そして、検査時には、選択回路が共通ラッチ回路90と全てのビットセルとを接続させることができるようになっていいる。本実施形態においては、共通ラッチ回路90からの出力は、階調制御用出力回路の528出力すべてに接続されている。

【0276】この構成により、検査時にはビットセルごとに毎回データをラッチする必要がなくなるので、検査時間を大幅に短縮することが可能になる。

【0277】

【発明の効果】本発明の階調制御用出力回路によれば、階調制御回路及び多段式カレントミラー部がロー側とハイ側に分かれて設けられているので、有機ELなどの発光素子の γ 特性に合わせた階調制御が可能となる。また、階調制御回路及び多段式カレントミラー部の配置が最適化されているので、配線領域を小さく抑えることが可能になっている。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図2】(a)、(b)は、それぞれ本発明の第2の実施形態に係る階調制御用出力回路の構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【図3】本発明の第3の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図4】本発明の第4の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図5】本発明の第5の実施形態に係る階調制御用出力回路の構成を示す図である。

【図6】図5に示す階調制御回路の詳細な構成を示す図

である。

【図7】電流源を3段式にした場合の多段式カレントミラー部を示す図である。

【図8】電流駆動用の階調制御用出力回路が出力する電流の階調レベル出力電流特性を示す図である。

【図9】本発明の第6の実施形態に係る階調制御用出力回路を用いた電流駆動方式の表示装置の構成を示すブロック回路図である。

【図10】第6の実施形態に係る階調制御用出力回路における選択プリチャージ回路及び選択プリチャージ制御回路の一例を示す回路図である。

【図11】第6の実施形態に係る階調制御用出力回路のレイアウトの参考例を示す図である。

【図12】本発明の第7の実施形態に係る階調制御用出力回路のレイアウトを示す図である。

【図13】第7の実施形態に係る階調制御用出力回路の出力配線領域を示す配線図である。

【図14】(a)、(b)は、それぞれ階調制御回路の構成を示す回路図、及び該階調制御回路のレイアウトの参考例を概略的に示す図である。

【図15】(a)は、階調制御回路の構成を示す回路図、(b)は、該階調制御回路のレイアウトの参考例を概略的に示す図、(c)は、本発明の第8の実施形態に係る階調制御回路のレイアウトを概略的に示す図である。

【図16】(a)、(b)は、それぞれ同図(b)に示す階調制御用出力回路の電流値-階調レベル特性を示す図、及び嵩上げ回路用カレントミラー部を設けた場合の階調制御用出力回路の例を示すブロック回路図である。

【図17】本発明の第9の実施形態に係る階調制御用出力回路のうち、電流嵩上げ制御回路を示す図である。

【図18】(a)、(b)は、それぞれ本発明の第10の実施形態に係るプローブカードを示す断面図、及び該プローブカードの断面を示すブロック回路図である。

【図19】本発明の第11の実施形態に係るプローブカードの断面を示すブロック回路図である。

【図20】(a)、(b)は、それぞれ通常時における本発明の第12の実施形態に係る半導体チップを示す回路図、及び検査時における第12の実施形態の半導体チップを示す回路図である。

【図21】本発明の第13の実施形態に係る階調制御用出力回路の検査方法を説明するための回路図である。

【図22】階調制御用出力回路において、外部からの入力信号の経路を示すためのブロック回路図である。

【図23】本発明の第14の実施形態に係る半導体チップにおける選択回路の構成を示す回路図である。

【図24】有機ELパネルの駆動方式を説明するための図である。

【図25】(a)、(b)は、それぞれ従来の電圧駆動用ドライバの構成を示す回路図、及び電源電圧供給線に

47

おける電源電位と電源電圧供給部からの距離との関係を示す図である。

【図26】(a), (b)は、それぞれ電流駆動用の階調制御用出力回路を検査するための従来のプローブカードを示す断面図、及び従来のプローブカードの断面を示すブロック回路図である。

【符号の説明】

| | |
|---------|---------------|
| 1 | 階調制御部 |
| 2 | 第2のMISFET |
| 3 | 第3のMISFET |
| 4 | 電源電圧供給配線 |
| 5 | 出力側トランジスタ |
| 6 | オペアンプ |
| 7 | 差動回路 |
| 8 | 出力バッファ部 |
| 10, 10a | 電流供給部 |
| 11 | 第1のMISFET |
| 12 | 電源電圧供給部 |
| 13 | 抵抗体 |
| 14 | 第3のノード |
| 15 | ゲートバイアス供給線 |
| 16 | 出力部 |
| 19 | 発振防止用コンデンサ |
| 20 | 電圧選択スイッチ |
| 21 | 第1の抵抗体 |
| 22 | 第2の抵抗体 |
| 23 | 第1のノード |
| 23a | 出力部用電圧供給線 |
| 24 | 第2のノード |
| 24a | 差動回路用電圧供給線 |
| 25 | 第1の電源電圧供給ノード |
| 26 | 第2の電源電圧供給ノード |
| 30 | 傾斜バイアス用MISFET |
| 31 | 第2の電流供給部 |

* 41

43

49, 70

50, 71

52

53

55

56

59

10

61, 66

62, 106

63a, 63b, 68, 69, 80, 88, 100

抵抗体

64, 107

65

部

74

75

20

76

77

78

79

81

82

83

85

86

87

30

102, 103

104, 105

111a, 111b

*

48

第4のMISFET

受け手側カレントミラー

トランスファークラーク

インバータ

カレントミラー部

選択スイッチ

ロー側カレントミラー部

ハイ側カレントミラー部

ロー側階調制御回路

ハイ側階調制御回路

電流嵩上げ制御回路

選択プリチャージ回路

出力部

嵩上げ回路用カレントミラー

NOR回路

OR回路

NAND回路

出力ノード

基板

半導体テスター

コンパレータ

被検査ウエハ

プローブ

接続配線

配線

パッド

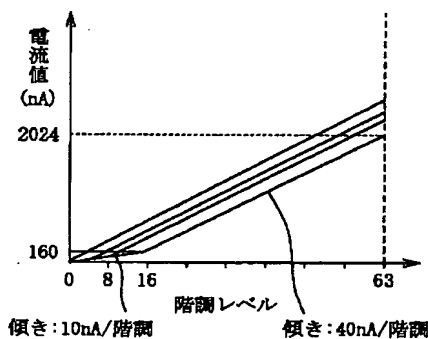
共通ラッチ回路

ダイオード

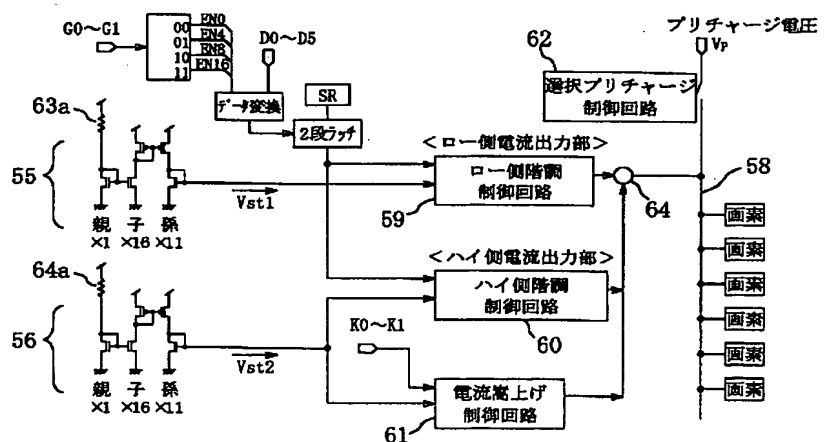
スイッチ回路

通常動作ラッチ回路

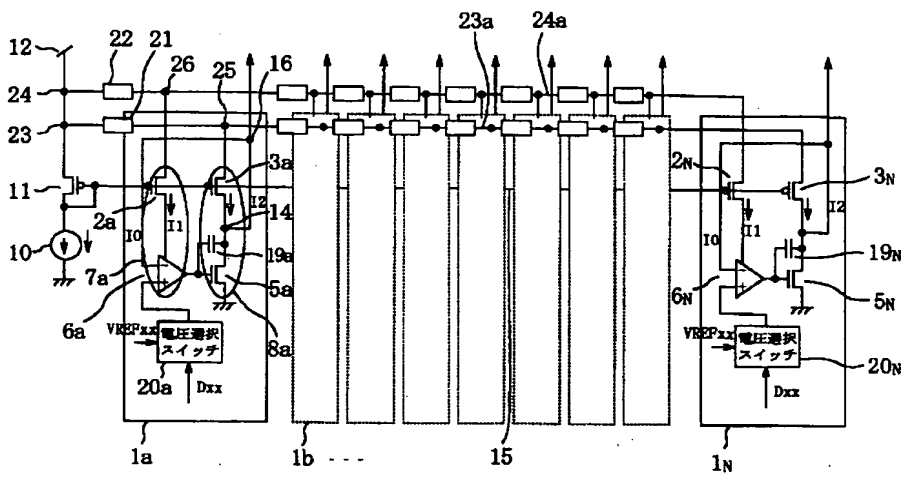
【図8】



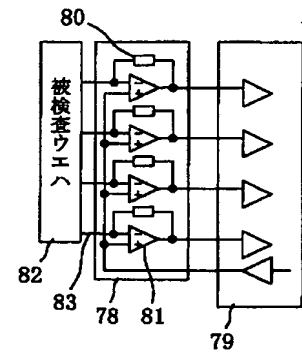
【図9】



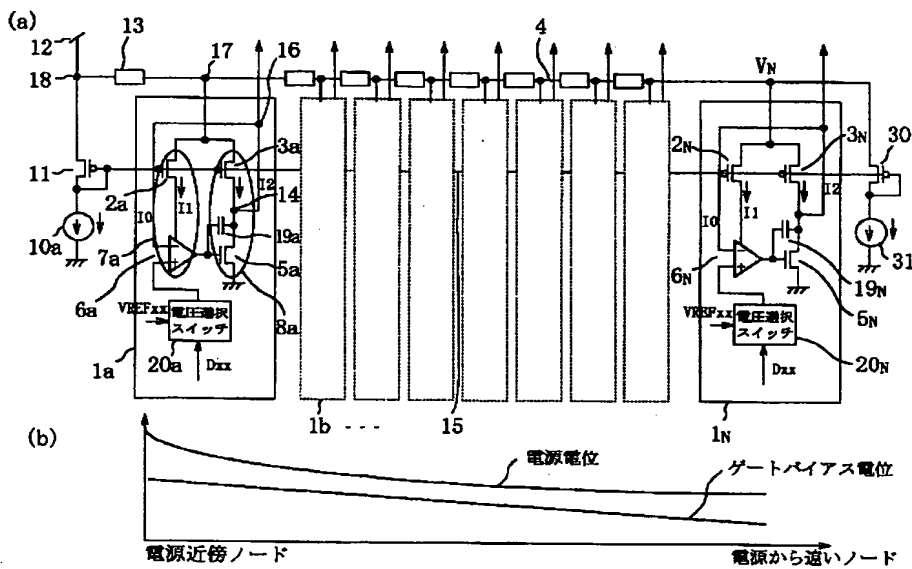
【図1】



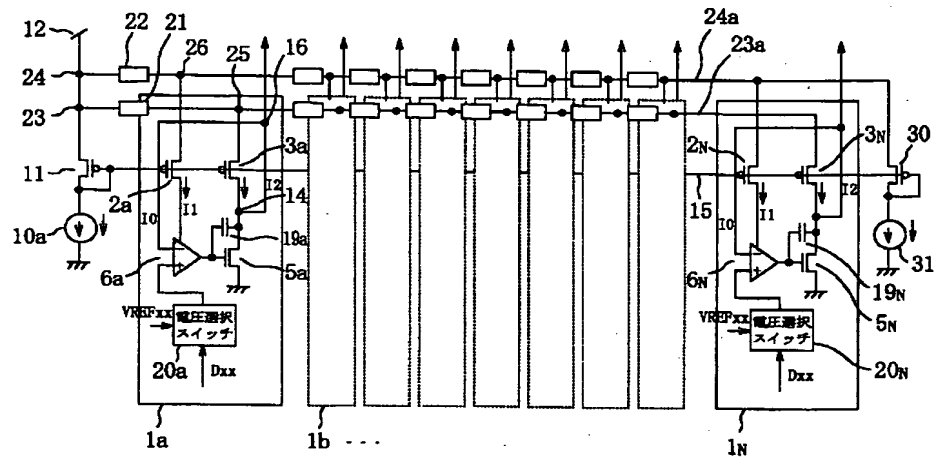
【図19】



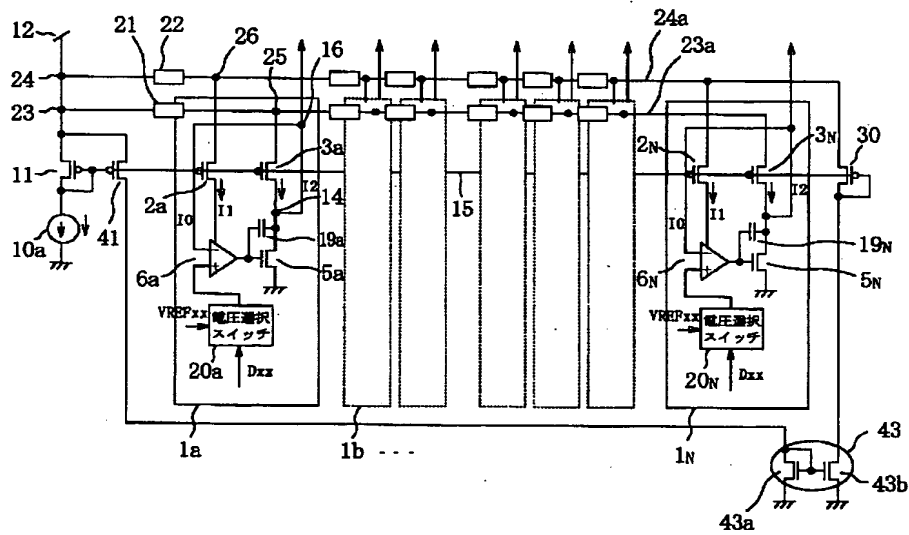
【図2】



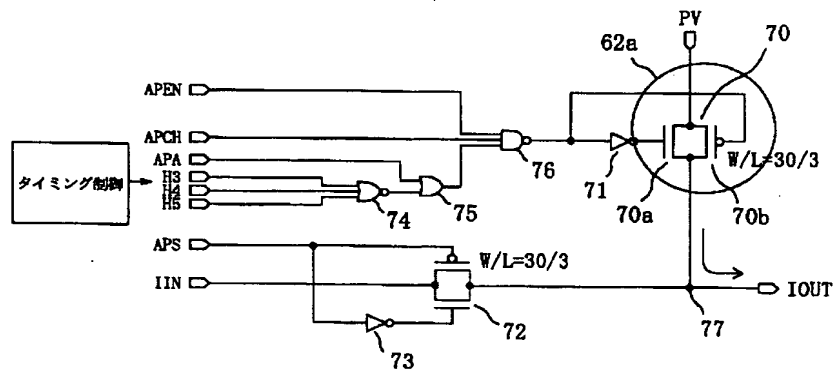
【図3】



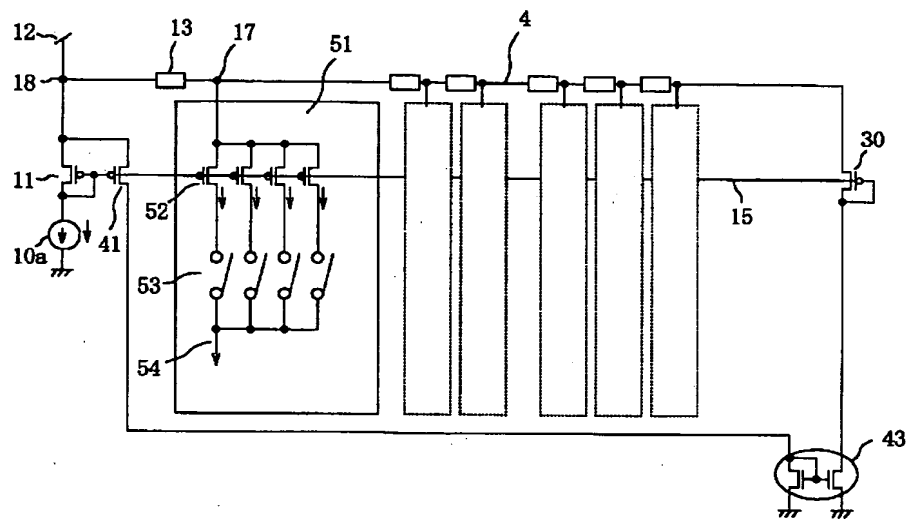
【図4】



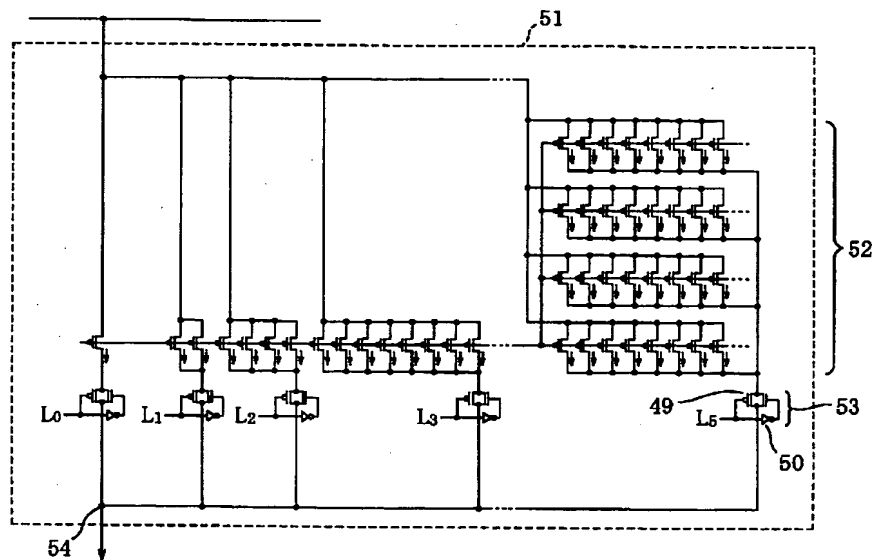
【図10】



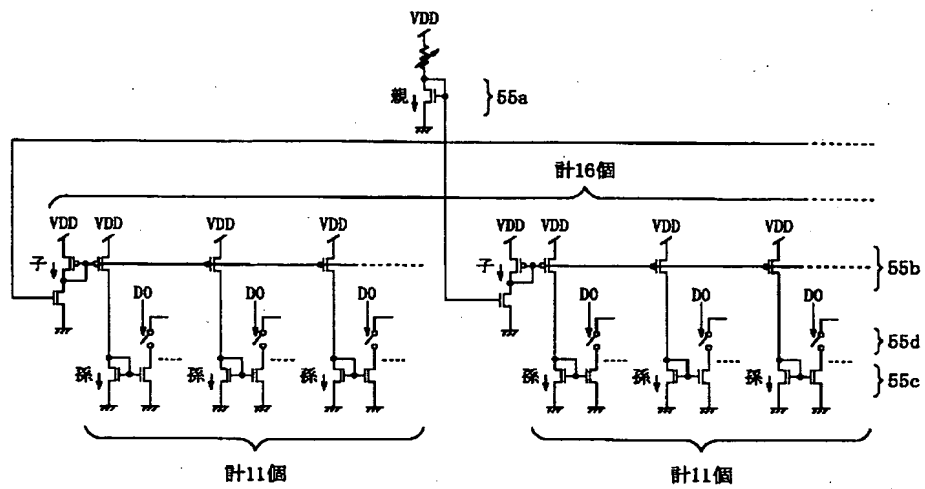
【図5】



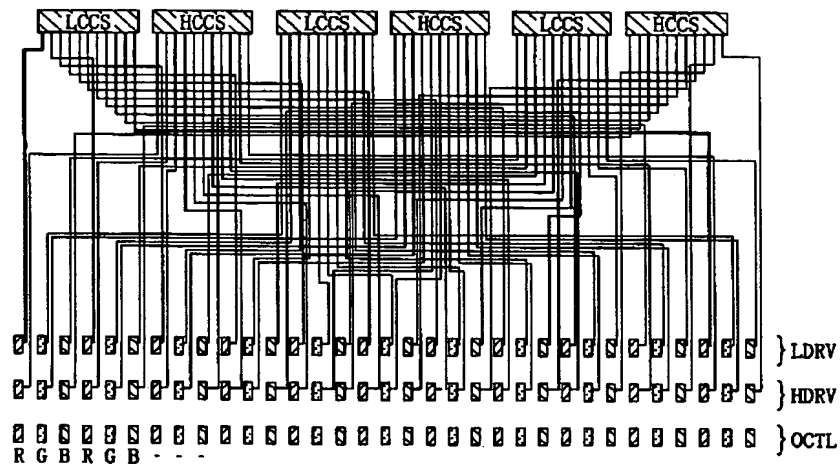
【図6】



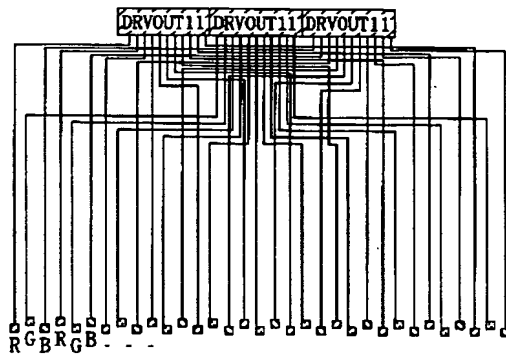
【図7】



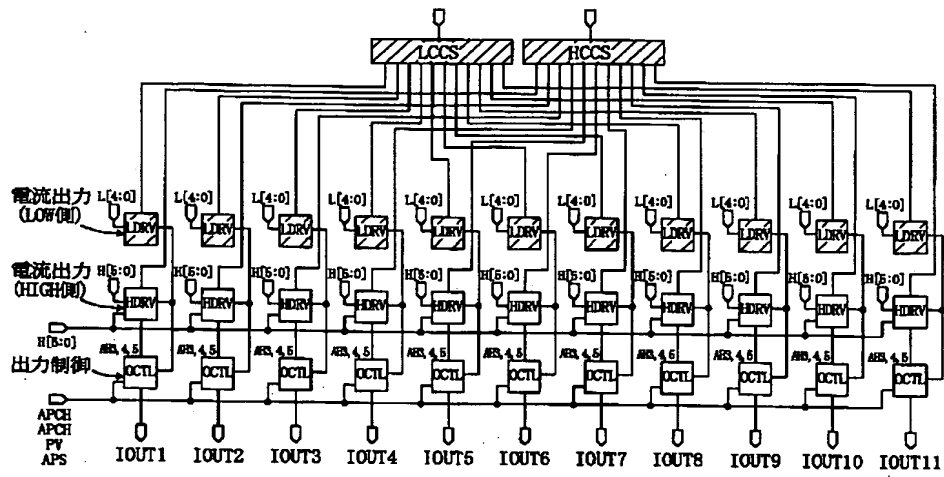
【図11】



【図13】

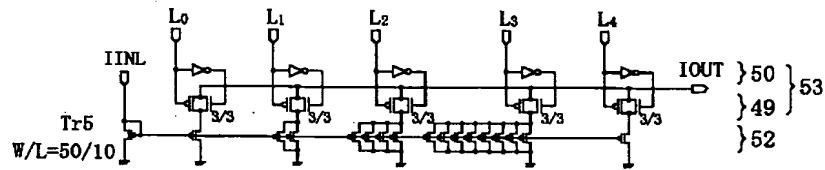


【図12】

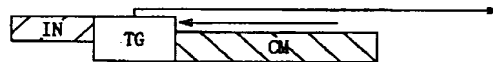


【図14】

(a)

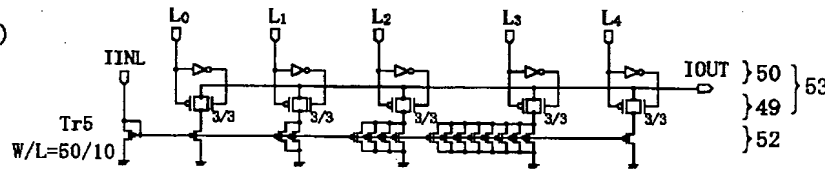


(b)

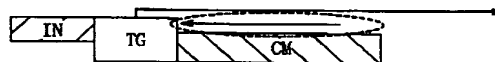


【図15】

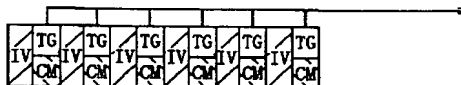
(a)



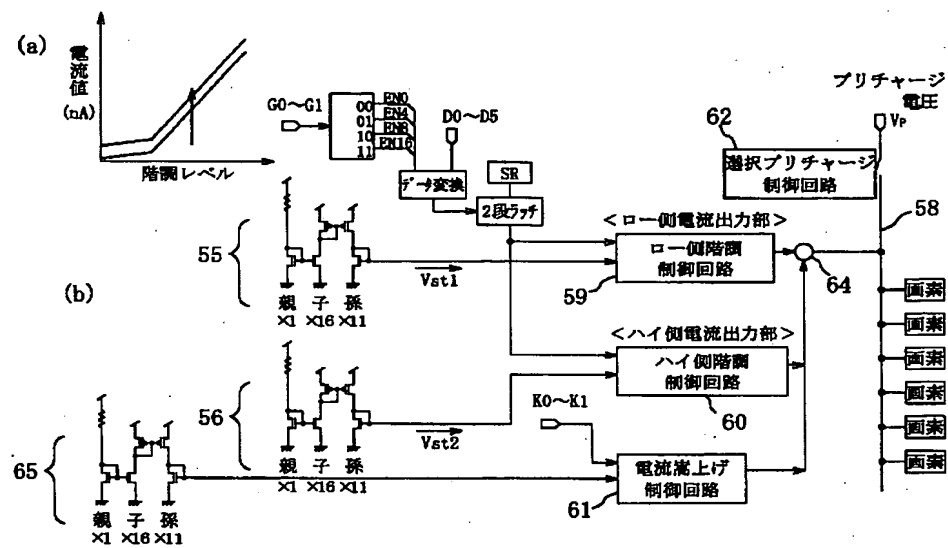
(b)



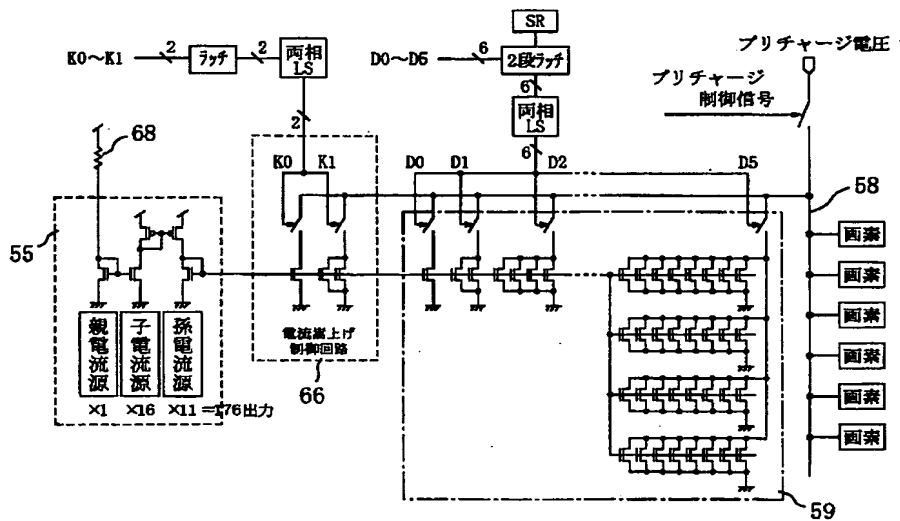
(c)



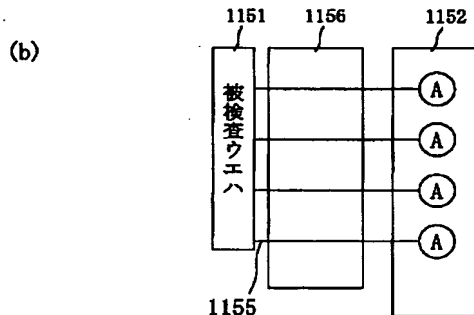
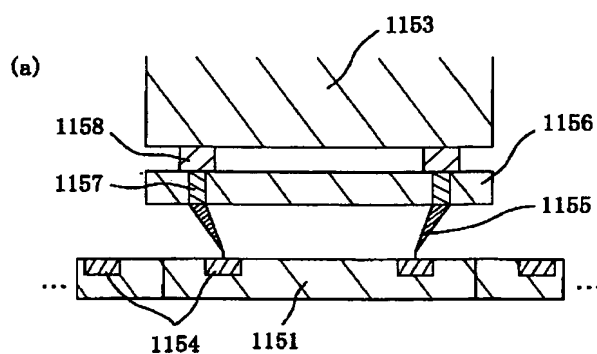
【図16】



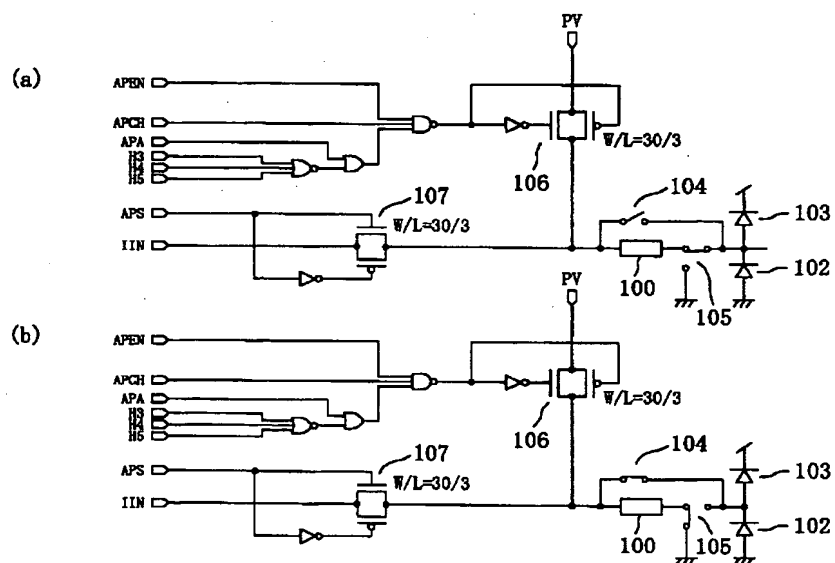
【図17】



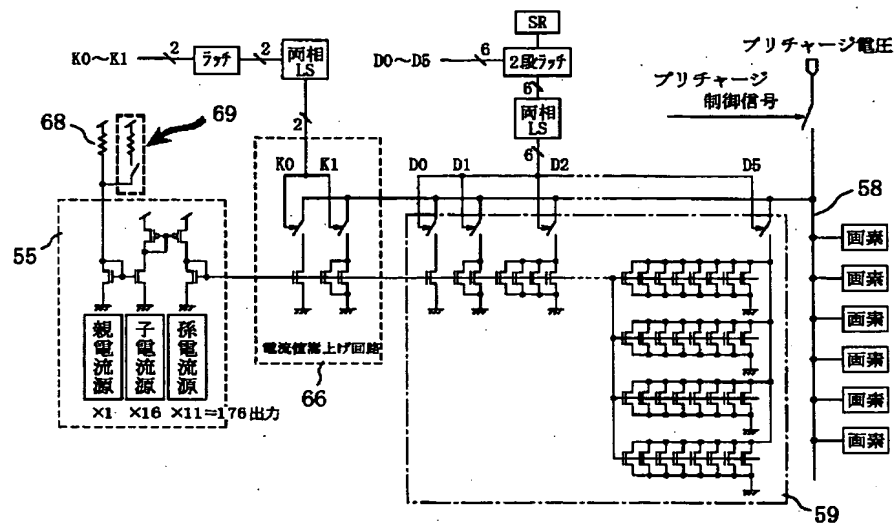
【図 2 6】



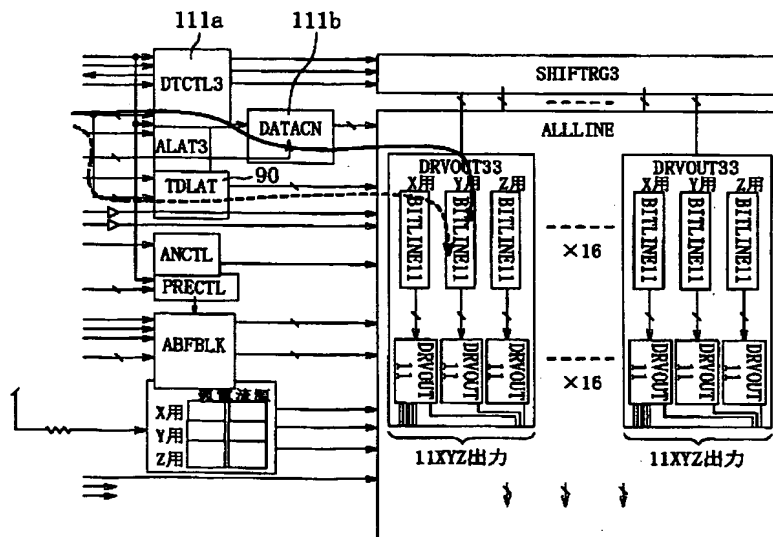
【図 20】



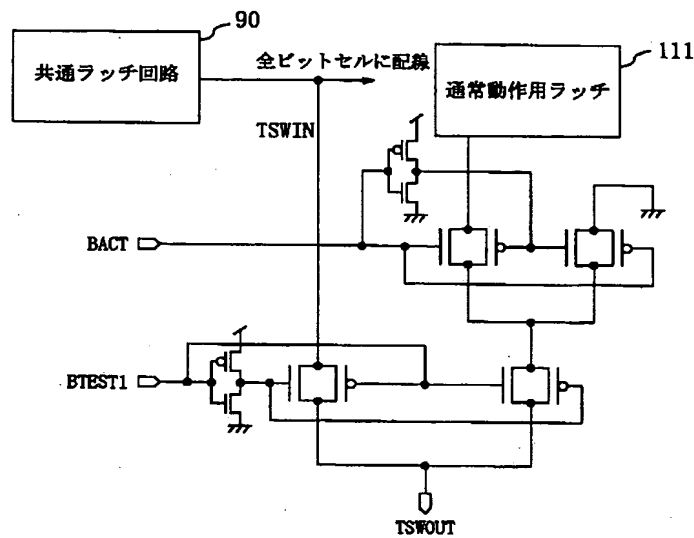
【図21】



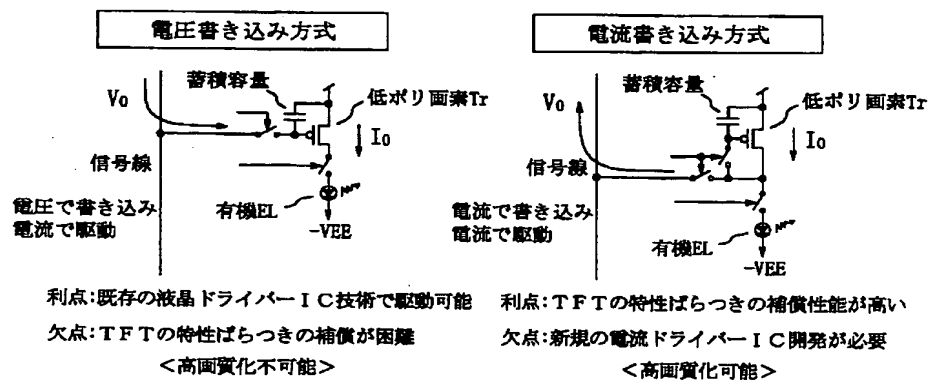
【図22】



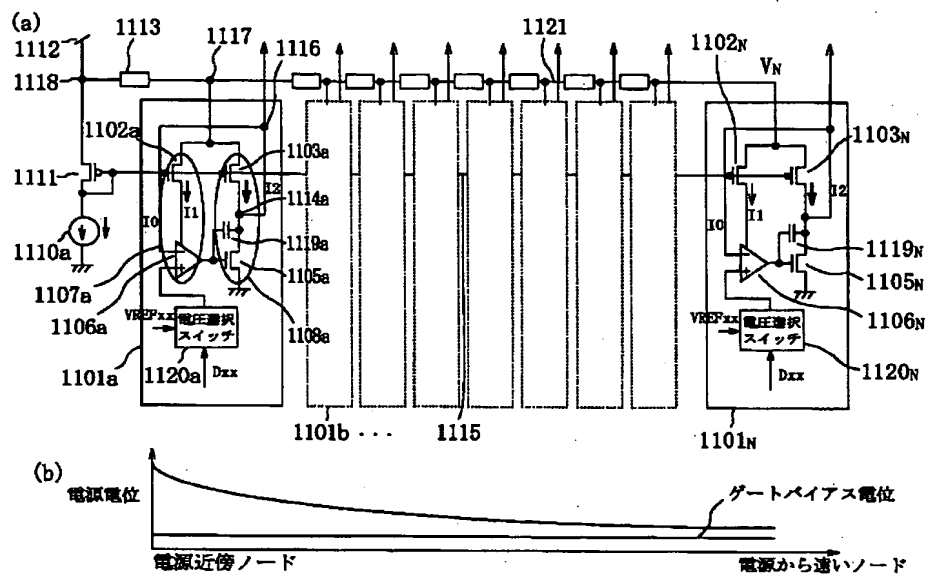
【図23】



【図24】



【図25】



フロントページの続き

(51)Int. Cl.⁷

G 0 9 G 3/20

3/30

3/36

識別記号

6 2 3

6 7 0

F I

G 0 9 G 3/20

3/30

3/36

ターマコード (参考)

6 2 3 B

6 7 0 Q

J

(72)発明者 伊達 義人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム (参考)

2G036 AA19 BA33 BA40 BB12

5C006 AA16 BB16 BC12 BF24 BF25

BF34 BF43 EB01 EB05 FA26

FA37 FA56

5C080 AA06 AA10 DD01 DD05 DD15

EE29 FF11 JJ02 JJ03 JJ05

5H420 BB12 CC02 DD02 EA14 EA18

EA39 EA40 EA42 EA48 EB15

EB37 FF03 FF25 GG06 NA17

NA27 NB02 NB14 NB20 NB25

NB36 NC02 NC03 NC06 NC16

NC22 NC23 NC26 NC34

5J091 AA01 AA44 CA00 FA15 HA10

HA17 HA19 HA25 HA26 HA29

HA38 KA01 KA02 KA03 KA04

KA05 KA06 KA09 KA17 KA33

KA66 KA67 MA08 QA04 TA01

TA02